NI PXI-5441 Specifications

16-Bit 100 MS/s Arbitrary Waveform Generator with Onboard Signal Processing (OSP)

このドキュメントには、日本語ページも含まれています。

This document lists specifications for the NI PXI-5441 arbitrary waveform generator. Unless otherwise noted, the following conditions were used for each specification:

- Analog filter enabled.
- DAC interpolation set to maximum allowed factor for a given sample rate.
- Signals terminated with 50 Ω.
- Direct path set to 1 V_{pk-pk}, Low-Gain Amplifier path set to 2 V_{pk-pk}, and High-Gain Amplifier path set to 12 V_{pk-pk}.
- Sample clock set to 100 megasamples per second (MS/s).

Typical values are representative of an average unit operating at room temperature (25 ± 3 °C). Specifications are subject to change without notice. For the most recent NI PXI-5441 Specifications, visit `ni.com/manuals`.

To access all the NI 5441 documentation, including the *NI Signal Generators Getting Started Guide*, which contains functional descriptions of the NI 5441 signals, navigate to **Start»All Programs»National Instruments»NI-FGEN»Documentation**.

Hot Surface If the NI 5441 has been in use, it may exceed safe handling temperatures and cause burns. Allow the NI 5441 to cool before removing it from the chassis.

Contents

CH 0 2
Sample Clock 15
Onboard Clock 18
Phase-Locked Loop (PLL) Reference Clock 18

NATIONAL INSTRUMENTS™

CLK IN 19
PFI 0 and PFI 1 20
DIGITAL DATA & CONTROL (DDC) 21
Start Trigger 23
Markers 26
Arbitrary Waveform Generation Mode 27
Function Generation Mode 30
Onboard Signal Processing 31
Calibration 40
Power 40
Software 41
Environment 42
NI PXI-5441 Environment 42
Compliance and Certifications 43
Safety 43
Electromagnetic Compatibility 43
CE Compliance 43
Environmental Management 44
Physical 45
Where to Go for Support 47

CH 0

(Channel 0 Analog Output, Front Panel Connector)

Specification	Value	Comments
Number of Channels	1	—
Connector	SMB (jack)	—
Output Voltage Characteristics		
Output Paths	1. The software-selectable Main Output path setting provides full-scale voltages from 12.00 V_{pk-pk} to 5.64 mV_{pk-pk} into a 50 Ω load. NI-FGEN uses either the Low-Gain Amplifier or the High-Gain Amplifier when the Main Output path is selected, depending on the Gain attribute. 2. The software-selectable Direct path is optimized for intermediate frequency (IF) applications and provides full-scale voltages from 1.000 to 0.707 V_{pk-pk}.	—
DAC Resolution	16 bits	—

Specification	Value				Comments
Amplitude and Offset					
Amplitude Range	Path	Load	Amplitude (V_{pk-pk}) Minimum Value	Amplitude (V_{pk-pk}) Maximum Value	Amplitude values assume the full scale of the DAC is utilized. If an amplitude smaller than the minimum value is desired, then waveforms less than full scale of the DAC can be used. NI-FGEN compensates for user-specified resistive loads.
	Direct	50 Ω	0.707	1.00	
		1 kΩ	1.35	1.91	
		Open	1.41	2.00	
	Low-Gain Amplifier	50 Ω	0.00564	2.00	
		1 kΩ	0.0107	3.81	
		Open	0.0113	4.00	
	High-Gain Amplifier	50 Ω	0.0338	12.0	
		1 kΩ	0.0644	22.9	
		Open	0.0676	24.0	
Amplitude Resolution	<0.06% (0.004 dB) of amplitude range				—
Offset Range	Span of ±25% of the amplitude range with increments <0.0014% of amplitude range				Not available on the Direct path.
Maximum Output Voltage					
Maximum Output Voltage	Path	Load	Maximum Output Voltage (V_{pk})		The maximum output voltage of the NI 5441 is determined by the amplitude range and the offset range.
	Direct	50 Ω	±0.500		
		1 kΩ	±0.953		
		Open	±1.000		
	Low-Gain Amplifier	50 Ω	±1.000		
		1 kΩ	±1.905		
		Open	±2.000		
	High-Gain Amplifier	50 Ω	±6.000		
		1 kΩ	±11.43		
		Open	±12.00		

Specification	Value	Comments
Accuracy		
DC Accuracy	**For the Low-Gain or High-Gain Amplifier path**: ±0.2% of amplitude range± 0.05% of offset ± 500 µV (within ±10 °C of self-calibration temperature) ±0.4% of amplitude range ± 0.05% of offset ± 1 mV (0 to 55 °C) **For the Direct path**: Gain accuracy: ±0.2% amplitude range (within ±10 °C of self-calibration temperature) Gain accuracy: ±0.4% amplitude range (0 to 55 °C) DC error: ±30 mV (0 to 55 °C) **Note**: For DC accuracy, "amplitude range" is defined as 2× the gain setting. For example, a DC signal with a gain of 8 has an amplitude range of 16 V. If this signal has an offset of 1.5, its DC accuracy is calculated by the following equation: ±0.2%×(16 V) ± 0.05%×(1.5 V) ± 500µV = ±33.25 mV	All paths are calibrated for amplitude and gain errors. The Low-Gain and High-Gain Amplifier paths also are calibrated for offset errors.
AC Amplitude Accuracy	±1.0% of amplitude ± 1 mV	50 kHz sine wave.
Output Characteristics		
Output Impedance	50 Ω nominal or 75 Ω nominal, software-selectable	—
Load Impedance Compensation	Output amplitude is compensated for user-specified load impedances.	—
Output Coupling	DC	—
Output Enable	Software-selectable. When disabled, CH 0 output is terminated with a 1 W resistor with a value equal to the selected output impedance.	—
Maximum Output Overload	The CH 0 output terminal can be connected to a 50 Ω, ±12 V (±8 V for the Direct path) source without sustaining any damage. No damage occurs if the CH 0 output is shorted to ground indefinitely.	—

Specification	Value			Comments
Waveform Summing	The CH 0 output supports waveform summing among similar paths—specifically, the output terminals of multiple NI 5441 signal generators can be connected together.			—
Frequency and Transient Response				
Bandwidth	43 MHz			Measured at –3 dB.
DAC Digital Interpolation Filter	Software-selectable finite impulse response (FIR) filter. Available interpolation factors are 2, 4, or 8.			The digital filter is not available for use for Sample clock rates below 10 MS/s. Refer to the *DAC Effective Sample Rate* section for more information about the effect of DAC interpolation on sample rates. Refer to the *Onboard Signal Processing* section for OSP Interpolation.
Analog Filter	Software-selectable 7-pole elliptical filter for image suppression.			Available only on Low-Gain amplifier and High-Gain amplifier Paths.
Passband Flatness	Path			With respect to 50 kHz.
	Direct	Low-Gain Amplifier	High-Gain Amplifier	
	–0.4 to +0.6dB 100 Hz to 40 MHz	–1.0 dB to +0.5 100 Hz to 20 MHz	–1.2 to +0.5 dB 100 Hz to 20 MHz	

Specification	Value			Comments
Pulse Response	Path			Analog filter and DAC Interpolation filter disabled.
	Direct	Low-Gain Amplifier	High-Gain Amplifier	
Rise/Fall Time	<5 ns	<8 ns	<10 ns	
Aberration	<10%	<5%	<5%	

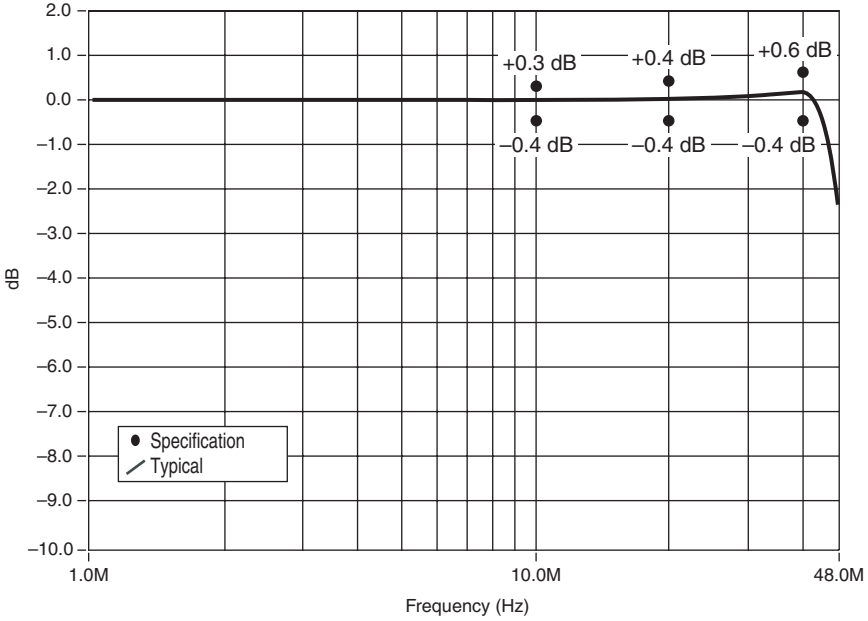

Figure 1. Normalized Passband Flatness, Direct Path

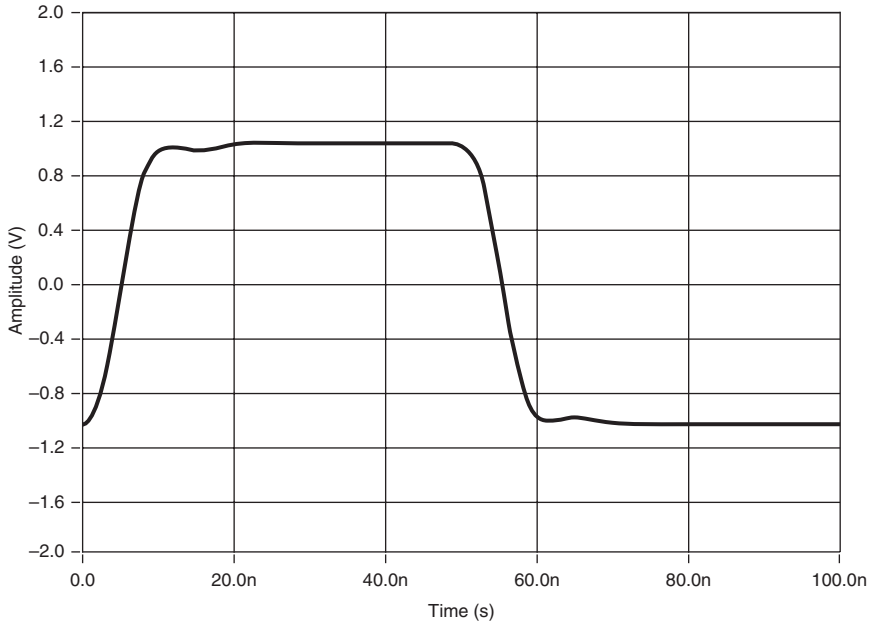

Figure 2. Pulse Response, Low-Gain Amplifier Path 50 Ω Load

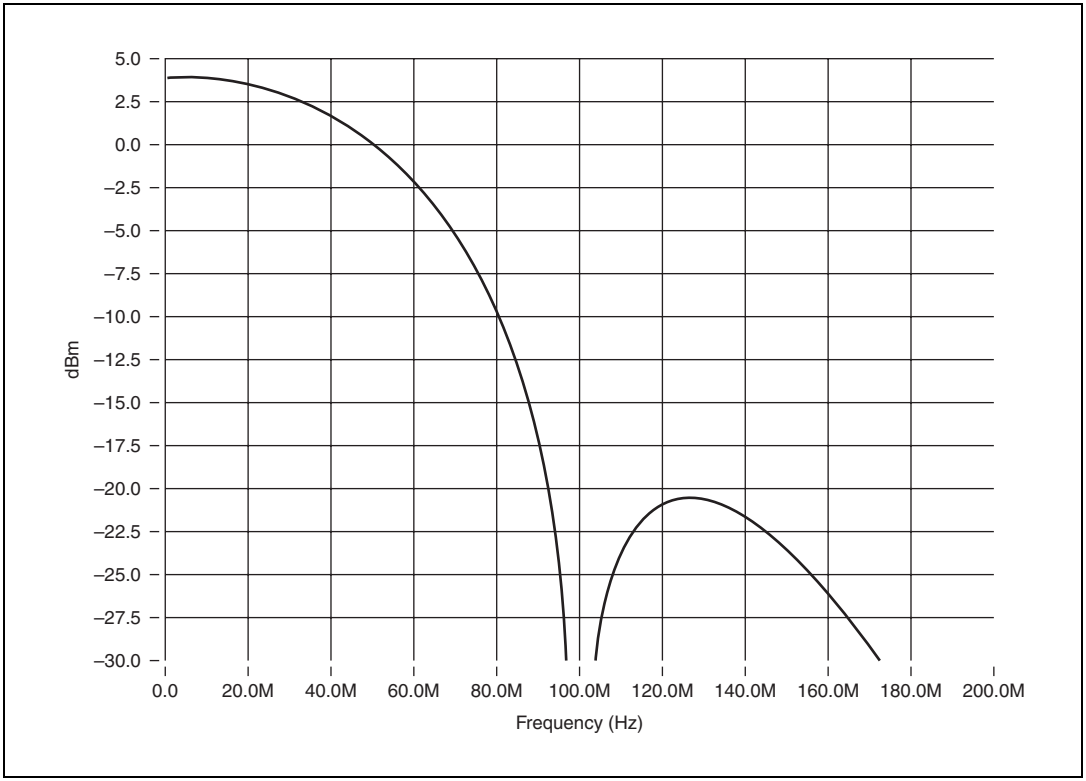

Figure 3. Frequency Response of Direct Path, 100 MS/s, 1x DAC Interpolation

Note Above 50 MHz, the response is the image response.

Specification	Value			Comments
Suggested Maximum Frequencies for Common Functions				
Function	Path			Disable the Analog filter and the DAC Interpolation filter for square, ramp, and triangle. The minimum frequency is 0 Hz. * Direct path is optimized for the frequency domain.
	Direct	Low-Gain Amplifier	High-Gain Amplifier	
Sine	43 MHz	43 MHz	43 MHz	
Square	Not recommended*	25 MHz	12.5 MHz	
Ramp	Not recommended*	5 MHz	5 MHz	
Triangle	Not recommended*	5 MHz	5 MHz	
Spectral Characteristics				
Signal to Noise and Distortion (SINAD)	Path			Amplitude –1 decibel full scale (dBFS). Measured from DC to 50 MHz. SINAD at low amplitudes is limited by a –148 dBm/Hz noise floor. All values are typical.
	Direct	Low-Gain Amplifier	High-Gain Amplifier	
1 MHz	64 dB	66 dB	63 dB	
10 MHz	61 dB	60 dB	47 dB	
20 MHz	57 dB	56 dB	42 dB	
30 MHz	60 dB	62 dB	62 dB	
40 MHz	60 dB	62 dB	62 dB	
43 MHz	58 dB	60 dB	55 dB	

Specification	Value			Comments
Spurious-Free Dynamic Range (SFDR)[1] with Harmonics	Path			Amplitude –1 dBFS. Measured from DC to 50 MHz. Also called harmonic distortion. SFDR with harmonics at low amplitudes is limited by a –148 dBm/Hz noise floor. All values are typical and include aliased harmonics.
	Direct	Low-Gain Amplifier	High-Gain Amplifier	
1 MHz	76 dB	71 dB	58 dB	
10 MHz	68 dB	64 dB	47 dB	
20 MHz	60 dB	57 dB	42 dB	
30 MHz	73 dB	73 dB	74 dB	
40 MHz	76 dB	73 dB	74 dB	
43 MHz	78 dB	75 dB	59 dB	
SFDR without Harmonics	Path			Amplitude –1 dBFS. Measured from DC to 50 MHz. SFDR without harmonics at low amplitudes is limited by a –148 dBm/Hz noise floor. All values are typical and include aliased harmonics.
	Direct	Low-Gain Amplifier	High-Gain Amplifier	
1 MHz	87 dB	90 dB	90 dB	
10 MHz	86 dB	88 dB	90 dB	
20 MHz	79dB	88 dB	88 dB	
30 MHz	72 dB	72 dB	73 dB	
40 MHz	75 dB	72 dB	73 dB	
43 MHz	77 dB	74 dB	59 dB	

[1] Dynamic range is defined as the difference between the carrier level and the largest spur.

Specification	Value			Comments
0 to 40 ºC Total Harmonic Distortion (THD)	Path			Amplitude –1 dBFS. Includes the 2nd through the 6th harmonic.
	Direct	Low-Gain Amplifier	High-Gain Amplifier	
20 kHz	–77 dBc (typical)	–77 dBc (typical)	–77 dBc (typical)	
1 MHz	–75 dBc (typical)	–70 dBc (typical)	–62 dBc (typical)	
5 MHz	–68 dBc	–68 dBc	–55 dBc	
10 MHz	–65 dBc	–61 dBc	–46 dBc	
20 MHz	–55 dBc	–53 dBc	–40 dBc	
30 MHz	–50 dBc	–48 dBc	–38 dBc	
40 MHz	–47 dBc	–46 dBc	–34 dBc	
43 MHz	–46 dBc	–45 dBc	–33 dBc	
0 to 55 ºC THD	Path			Amplitude –1 dBFS. Includes the 2nd through the 6th harmonic.
	Direct	Low-Gain Amplifier	High-Gain Amplifier	
20 kHz	–76 dBc (typical)	–76 dBc (typical)	–76 dBc (typical)	
1 MHz	–74 dBc (typical)	–69 dBc (typical)	–61 dBc (typical)	
5 MHz	–67 dBc	–67 dBc	–54 dBc	
10 MHz	–63 dBc	–60 dBc	–45 dBc	
20 MHz	–54 dBc	–52 dBc	–39 dBc	
30 MHz	–48 dBc	–46 dBc	–36 dBc	
40 MHz	–45 dBc	–41 dBc	–32 dBc	
43 MHz	–44 dBc	–41 dBc	–31 dBc	

Specification	Value						Comments
Spectral Characteristics (Continued)							
Average Noise Density		Amplitude Range		Average Noise Density			Average Noise Density at small amplitudes is limited by a –148 dBm/Hz noise floor.
	Path	V_{pk-pk}	dBm	$\frac{nV}{\sqrt{Hz}}$	dBm/Hz	dBFS/ Hz	
	Direct	1	4.0	18	–142	–146.0	
	Low Gain	0.06	–20.4	9	–148	–127.6	
	Low Gain	0.1	–16.0	9	–148	–132.0	
	Low Gain	0.4	–4.0	13	–145	–141.0	
	Low Gain	1	4.0	18	–142	–146.0	
	Low Gain	2	10.0	35	–136	–146.0	
	High Gain	4	16.0	71	–130	–146.0	
	High Gain	12	25.6	213	–120	–145.6	

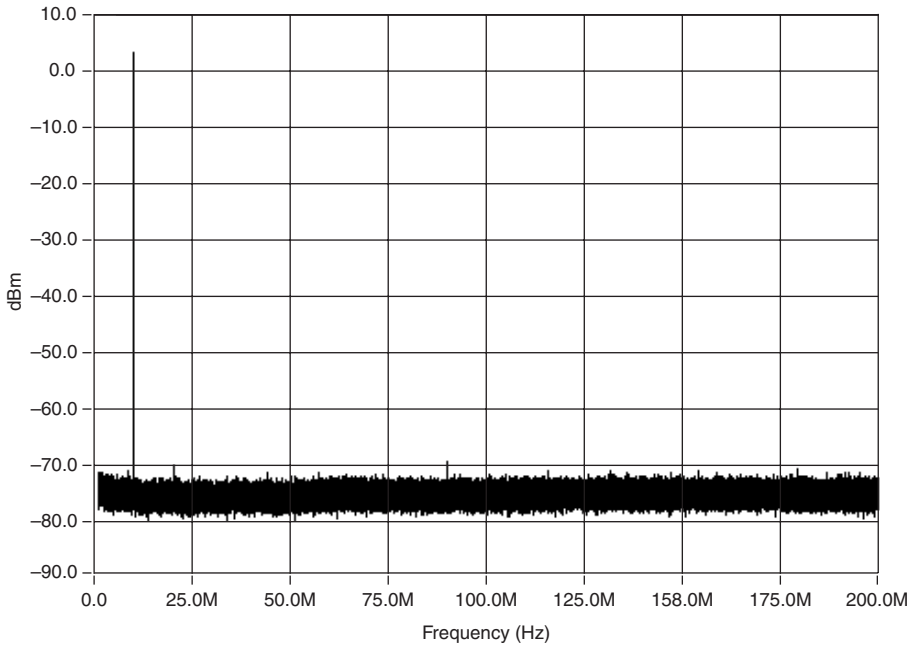

Figure 4. 10 MHz Single-Tone Spectrum, Direct Path, 100 MS/s, DAC Interpolation Factor Set to 4

Note The noise floor in Figure 4 is limited by the measurement device. Refer to the *Average Noise Density* specifications for more information about this limit.

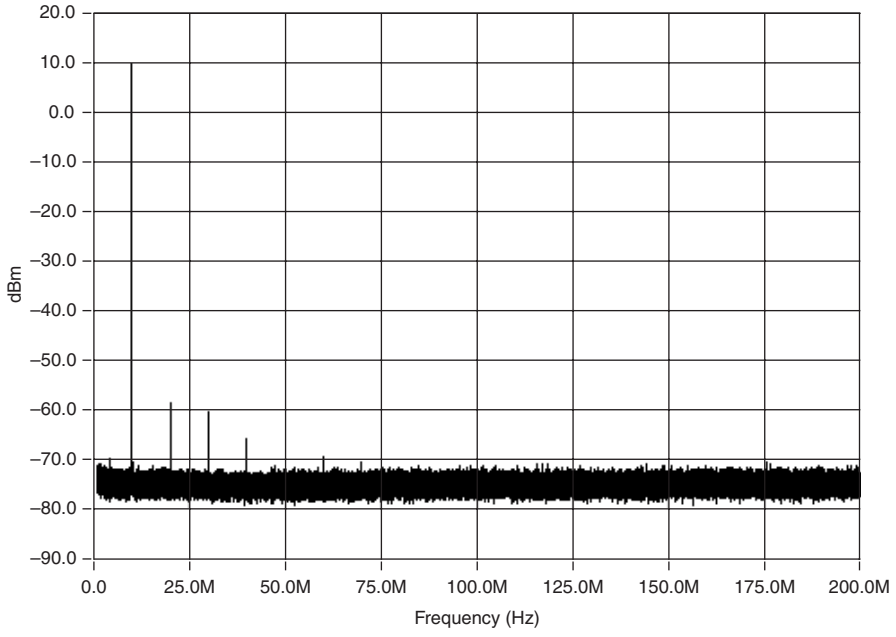

Figure 5. 10 MHz Single-Tone Spectrum, Low-Gain Amplifier Path, 100 MS/s, DAC Interpolation Factor Set to 4

Note The noise floor in Figure 5 is limited by the measurement device. Refer to the *Average Noise Density* specifications for more information about this limit.

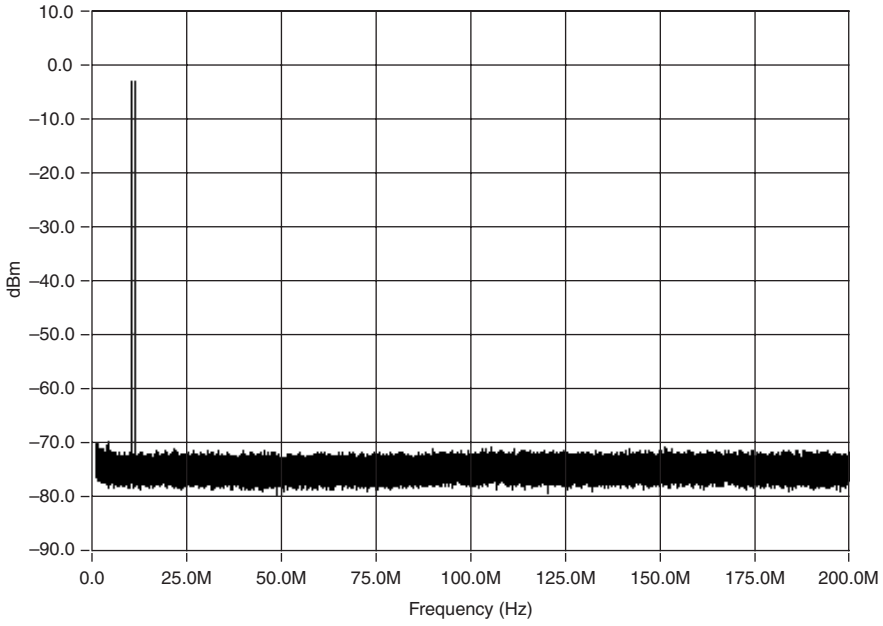

Figure 6. Direct Path, Two-Tone Spectrum (Typical)

Note The noise floor in Figure 6 is limited by the measurement device. Refer to the *Average Noise Density* specifications for more information about this limit.

Sample Clock

Specification	Value	Comments
Sample Clock Sources	1. Internal, Divide-by-*N* ($N \geq 1$) 2. Internal, DDS-based, high-resolution 3. External, CLK IN (SMB front panel connector) 4. External, DDC CLK IN (DIGITAL DATA & CONTROL front panel connector) 5. External, PXI Star trigger (PXI backplane connector) 6. External, PXI_Trig<0..7> (PXI backplane connector)	Refer to the *Onboard Clock* section for more information about internal clock sources.

Specification	Value			Comments
Sample Rate Range and Resolution				
Sample Clock Source	Sample Rate Range	Sample Rate Resolution		—
Divide-by-*N*	23.84 S/s to 100 MS/s	Settable to (100 MS/s) / *N* (1 ≤ *N* ≤ 4,194,304)		
High Resolution	10 S/s to 100 MS/s	1.06 µHz		
CLK IN	200 kS/s to 105 MS/s	Resolution determined by external clock source. External sample clock duty cycle tolerance 40 to 60%.		
DDC CLK IN	10 S/s to 105 MS/s			
PXI Star Trigger	10 S/s to 105 MS/s			
PXI_Trig<0..7>	10 S/s to 20 MS/s			
DAC Effective Sample Rate				
	Sample Rate (MS/s)	DAC Interpolation Factor	Effective Sample Rate	DAC Effective Sample Rate = (*DAC Interpolation factor*) × (*sample rate*) Refer to the *Onboard Signal Processing* section for OSP interpolation.
	10 S/s to 105 MS/s	1 (Off)	10 S/s to 105 MS/s	
	12.5 MS/s to 105 MS/s	2	25 MS/s to 210 MS/s	
	10 MS/s to 100 MS/s	4	40 MS/s to 400 MS/s	
	10 MS/s to 50 MS/s	8	80 MS/s to 400 MS/s	
Sample Clock Delay Range and Resolution				
Sample Clock Source	Delay Adjustment Range	Delay Adjustment Resolution		—
Divide-by-*N*	±1 Sample clock period	<10 ps		
High-Resolution	±1 Sample clock period	Sample clock period/16,384		
External (all)	0 to 7.6 ns	<15 ps		

Specification	Value				Comments
System Phase Noise and Jitter (10 MHz Carrier)					
Sample Clock Source	System Phase Noise Density (dBc/Hz) Offset			System Output Jitter (Integrated from 100 Hz to 100 kHz)	Specified at 2× DAC oversampling.
	100 Hz	1 kHz	10 kHz		
Divide-by-*N*	–110	–131	–137	<1.0 ps rms	
High-Resolution[1]	–114	–126	–126	<4.0 ps rms	
CLK IN	–113	–132	–135	<1.1 ps rms	
PXI Star Trigger[2]	–115	–118	–130	<3.0 ps rms	
[1] High-Resolution specifications increase as the sample rate is decreased. [2] PXI star trigger specification is valid when the sample clock source is locked to PXI_CLK10.					
External Sample Clock Input Jitter Tolerance	Cycle-cycle jitter ±300 ps Period Jitter ±1 ns				—
Sample Clock Exporting					
Exported Sample Clock Destinations	1. PFI<0..1> (SMB front panel connectors) 2. DDC CLK OUT (DIGITAL DATA & CONTROL front panel connector) 3. PXI_Trig<0..6> (PXI backplane connector)				Exported sample clocks can be divided by integer *K* (1 ≤ *K* ≤ 4,194,304).
Exported Sample Clock Destinations	Maximum Frequency	Jitter (Typical)	Duty Cycle		—
PFI<0..1>	105 MHz	PFI 0: 6 ps rms PFI 1: 12 ps rms	25 to 65%		
DDC CLK OUT	105 MHz	40 ps rms	40 to 60%		
PXI_Trig<0..6>	20 MHz	—	—		

Note Sample clock purity can significantly affect the performance of an NI PXI-5441. High amounts of jitter or phase noise in the sample clock can create spurs in the signal generator's spectrum that are not present when using a pure sample clock. For example, if

the Clock Mode property is set to Automatic, NI-FGEN often selects High-Resolution clocking to achieve a specific IQ rate. High-Resolution clocking has more jitter than Divide-By-*N* clocking and may create extra spurs in the signal generator output spectrum (refer to Figures 8 through 15 for examples of this phenomenon). To remove extra spurs without using software resampling, you can use a pure external clock. The NI PXI-5650/5651/5652 frequency source, with low jitter and <1 Hz frequency resolution, is an excellent option.

Onboard Clock
(Internal VCXO)

Specification	Value	Comments
Clock Source	Internal sample clocks can either be locked to a reference clock using a phase-locked loop or be derived from the onboard VCXO frequency reference.	—
Frequency Accuracy	±25 ppm	—

Phase-Locked Loop (PLL) Reference Clock

Specification	Value	Comments
Reference Clock Sources	1. PXI_CLK10 (PXI backplane connector) 2. CLK IN (SMB front panel connector)	The PLL reference clock provides the reference frequency for the PLL.
Frequency Accuracy	When using the PLL, the frequency accuracy of the NI 5441 is solely dependent on the frequency accuracy of the PLL reference clock source.	—
Lock Time	Typical: 70 ms Maximum: 200 ms	—
Frequency Range	5 to 20 MHz in increments of 1 MHz Default of 10 MHz The PLL reference clock frequency must be accurate to ±50 ppm.	—

Specification	Value	Comments
Duty Cycle Range	40 to 60%	—
Exported PLL Reference Clock Destinations	1. PFI<0..1> (SMB front panel connectors) 2. PXI_Trig<0..6> (PXI backplane connector)	—

CLK IN
(Sample Clock and Reference Clock Input, Front Panel Connector)

Specification	Value	Comments
Connector	SMB (jack)	—
Direction	Input	—
Destinations	1. Sample clock 2. PLL reference clock	—
Frequency Range	1 to 105 MHz (sample clock destination and sine waves) 200 kHz to 105 MHz (sample clock destination and square waves) 5 to 20 MHz (PLL reference clock destination)	—
Input Voltage Range	Sine wave: 0.65 to 2.8 V_{pk-pk} into 50 Ω (0 dBm to +13 dBm) Square wave: 0.2 to 2.8 V_{pk-pk} into 50 Ω	—
Maximum Input Overload	±10 V	—
Input Impedance	50 Ω	—
Input Coupling	AC	—

PFI 0 and PFI 1
(Programmable Function Interface, Front Panel Connectors)

Specification	Value	Comments
Connectors	Two SMB (jacks)	—
Direction	Bidirectional	—
Frequency Range	DC to 105 MHz	—
As an Input (Trigger)		
Destinations	Start trigger	—
Maximum Input Overload	–2 to +7 V	—
V_{IH}	2.0 V	—
V_{IL}	0.8 V	—
Input Impedance	1 kΩ	—
As an Output (Event)		
Sources	1. Sample clock divided by integer K ($1 \leq K \leq 4{,}194{,}304$) 2. Sample clock timebase (100 MHz) divided by integer M ($2 \leq M \leq 4{,}194{,}304$) 3. PLL reference clock 4. Marker 5. Exported start trigger (Out Start trigger)	—
Output Impedance	50 Ω	—
Maximum Output Overload	–2 to +7 V	—
V_{OH}	Minimum: 2.9 V (open load), 1.4 V (50 Ω load)	Output drivers are +3.3 V TTL compatible.
V_{OL}	Maximum: 0.2 V (open load), 0.2 V (50 Ω load)	
Rise/Fall Time	≤2.0 ns	Load of 10 pF.

DIGITAL DATA & CONTROL (DDC)

Optional Front Panel Connector

Specification	Value			Comments
Connector Type	68-pin VHDCI female receptacle			—
Number of Data Output Signals	16			—
Control Signals	1. DDC CLK OUT (clock output) 2. DDC CLK IN (clock input) 3. PFI 2 (input) 4. PFI 3 (input) 5. PFI 4 (output) 6. PFI 5 (output)			—
Ground	23 pins			—
Output Signal Characteristics (Includes Data Outputs, DDC CLK OUT, and PFI<4..5>)				
Signal Type	LVDS (Low-Voltage Differential Signal)			—
Signal Characteristics	Minimum	Typical	Maximum	1. Tested with 100 Ω differential load. 2. Measured at the device front panel. 3. Load capacitance <15 pF. 4. Driver and receiver comply with ANSI/TIA/EIA-644.
V_{OH}	—	1.3 V	1.7 V	
V_{OL}	0.8 V	1.0 V	—	
Differential Output Voltage	0.25 V	—	0.45 V	
Output Common-Mode Voltage	1.125 V	—	1.375 V	
Differential Pulse Skew (skew within a differential pair)	—	—	0.6 ns	
Rise/Fall Time	—	0.5 ns	1.6 ns	

Specification	Value		Comments
Output Signal Characteristics (Continued)			
Output Skew	Typical: 1 ns; maximum 2 ns. Skew between any two output terminals on the DIGITAL DATA & CONTROL front panel connector.		—
Output Enable/Disable	Controlled through the software on all data output signals and control signals collectively. When disabled, the output terminals go to a high-impedance state.		—
Maximum Output Overload	–0.3 to +3.9 V		—
Input Signal Characteristics (Includes DDC CLK IN and PFI<2..3>)			
Signal Type	LVDS (Low-Voltage Differential Signal)		—
Input Differential Impedance	100 Ω		—
Maximum Output Overload	–0.3 to +3.9 V		—
Signal Characteristics	Minimum	Maximum	—
Differential Input Voltage	0.1 V	0.5 V	
Input Common Mode Voltage	0.2 V	2.2 V	
DDC CLK OUT			
Clocking Format	Data outputs and markers change on the falling edge of DDC CLK OUT.		—
Frequency Range	Refer to the *Sample Clock* section for more information.		—
Duty Cycle	40 to 60%		—
Jitter	40 ps rms		—

Specification	Value	Comments
DDC CLK IN		
Clocking Format	DDC data output signals change on the rising edge of DDC CLK IN.	—
Frequency Range	10 Hz to 105 MHz	—
Input Duty Cycle Tolerance	40 to 60%	—
Input Jitter Tolerances	300 ps pk-pk of cycle-cycle jitter, and 1 ns rms of period jitter.	—

Start Trigger

Specification	Value	Comments
Sources	1. PFI<0..1> (SMB front panel connectors) 2. PFI<2..3> (DIGITAL DATA & CONTROL front panel connector) 3. PXI_Trig<0..7> (backplane connector) 4. PXI Star trigger (backplane connector) 5. Software (use function call) 6. Immediate (does not wait for a trigger). Default.	—
Modes	1. Single 2. Continuous 3. Stepped 4. Burst	—
Edge Detection	Rising	—

Specification	Value		Comments
Minimum Pulse Width	25 ns		Refer to the t_{s1} documentation in the *NI Signal Generators Help* by navigating to **NI Signal Generators Help»Devices» NI 5441» Triggering» Trigger Timing**.
Delay from Start Trigger to CH 0 Analog Output with OSP Disabled.	DAC Interpolation Factor	Typical Delay	Refer to the t_{s2} documentation in the *NI Signal Generators Help* by navigating to **NI Signal Generators Help»Devices» NI 5441» Triggering» Trigger Timing**.
	Digital interpolation filter disabled.	44 Sample clock periods + 110 ns	
	2	58 Sample clock periods + 110 ns	
	4	64 Sample clock periods + 110 ns	
	8	65 Sample clock periods + 110 ns	
Delay from Start Trigger to Digital Data Output with OSP Disabled.	40 Sample clock periods + 110 ns		—
Additional Delay for Function Generator Mode.	Add 33 Sample clock periods. (Applicable to delay from Start trigger to CH0 analog output and delay from Start trigger to digital data output)		—
Additional Delay with OSP Enabled.	Add 70 Sample clock periods for real data processing mode. Add 73 Sample clock periods for complex data processing mode. (Applicable to delay from Start trigger to CH0 analog output and delay from Start trigger to digital data output)		FIR and CIC filters enabled.

Specification	Value	Comments
Trigger Exporting		
Exported Trigger Destinations	A signal used as a trigger can be routed out to any destination listed in the *Destinations* specification in the *Markers* section.	—
Exported Trigger Delay	65 ns (typical)	Refer to the t_{s3} documentation in the *NI Signal Generators Help* by navigating to **NI Signal Generators Help»Devices» NI 5441» Triggering» Trigger Timing**.
Exported Trigger Pulse Width	>150 ns	Refer to the t_{s4} documentation in the *NI Signal Generators Help* by navigating to **NI Signal Generators Help»Devices» NI 5441» Triggering» Trigger Timing**.

Markers

<table>
<tr><th>Specification</th><th colspan="3">Value</th><th>Comments</th></tr>
<tr><td>Destinations</td><td colspan="3">1. PFI<0..1> (SMB front panel connectors)
2. PFI<4..5> (DIGITAL DATA & CONTROL front panel connector)
3. PXI_Trig<0..6> (backplane connector)</td><td>—</td></tr>
<tr><td>Quantity</td><td colspan="3">One marker per segment</td><td>—</td></tr>
<tr><td>Quantum</td><td colspan="3">Marker position must be placed at an integer multiple of four samples (two samples for Complex (IQ) data).</td><td>—</td></tr>
<tr><td>Width</td><td colspan="3">>150 ns</td><td>Refer to the t_{m2} documentation in the NI Signal Generators Help by navigating to NI Signal Generators Help» Fundamentals» Waveform Fundamentals» Events» Marker Events.</td></tr>
<tr><td rowspan="4">Skew</td><td>Destination</td><td>With Respect to Analog Output</td><td>With Respect to Digital Data Output</td><td rowspan="4">Refer to the t_{m1} documentation in the NI Signal Generators Help by navigating to NI Signal Generators Help» Fundamentals» Waveform Fundamentals» Events» Marker Events.</td></tr>
<tr><td>PFI<0..1></td><td>±2 Sample Clock Periods</td><td>N/A</td></tr>
<tr><td>PFI<4..5></td><td>N/A</td><td>< 2 ns</td></tr>
<tr><td>PXI_Trig<0..6></td><td>±2 Sample Clock Periods</td><td>N/A</td></tr>
<tr><td>Jitter</td><td colspan="3">20 ps rms</td><td>—</td></tr>
</table>

Arbitrary Waveform Generation Mode

Specification	Value			Comments
Memory Usage	The NI 5441 uses the Synchronization and Memory Core (SMC) technology in which waveforms and instructions share onboard memory. Parameters, such as number of segments in sequence list, maximum number of waveforms in memory, and number of samples available for waveform storage, are flexible and user defined.			For more information, refer to the *NI-TClk Synchronization Help* by navigating to **NI Signal Generators Help» Programming» NI-TClk Synchronization Help**.
Onboard Memory Size	32 MB option: 33,554,432 bytes	256 MB option: 268,435,456 bytes	512 MB option: 536,870,912 bytes	—
Output Modes	Arbitrary Waveform mode and Arbitrary Sequence mode			—
Arbitrary Waveform Mode	In Arbitrary Waveform mode, a single waveform is selected from the set of waveforms stored in onboard memory and generated.			—
Arbitrary Sequence Mode	In Arbitrary Sequence mode, a sequence directs the NI 5441 to generate a set of waveforms in a specific order. Elements of the sequence are referred to as *segments*. Each segment is associated with a set of instructions. The instructions identify which waveform is selected from the set of waveforms in memory, how many loops (iterations) of the waveform are generated, and at which sample in the waveform a marker output signal is sent.			—

Specification	Value			Comments
Minimum Waveform Size (Samples)	Trigger Mode	Arbitrary Waveform Mode	Arbitrary Sequence Mode	The minimum waveform size is sample rate dependent in Arbitrary Sequence mode. For complex (IQ) data minimum waveform size is halved.
	Single	16	16	
	Continuous	16	96 at >50 MS/s	
			32 at ≤50 MS/s	
	Stepped	32	96 at >50 MS/s	
			32 at ≤50 MS/s	
	Burst	16	512 at >50 MS/s	
			256 at ≤50 MS/s	
Loop Count	1 to 16,777,215 Burst trigger: Unlimited			—
Quantum	Waveform size must be an integer multiple of four samples (two samples for complex (IQ) data).			—
Memory Limits				
	32 MB Option	256 MB Option	512 MB Option	All trigger modes except where noted. For complex (IQ) data maximum waveform memory is halved.
Arbitrary Waveform Mode, Maximum Waveform Memory	16,777,088 samples	134,217,600 samples	268,435,328 samples	
Arbitrary Sequence Mode, Maximum Waveform Memory	16,777,008 samples	134,217,520 samples	268,435,200 samples	Condition: One or two segments in a sequence. For complex (IQ) data maximum waveform memory is halved.

Specification	Value			Comments
Memory Limits (Continued)				
Arbitrary Sequence Mode, Maximum Waveforms	262,000 Burst trigger: 32,000	2,097,000 Burst trigger: 262,000	4,194,000 Burst trigger: 524,000	Condition: One or two segments in a sequence.
Arbitrary Sequence Mode, Maximum Segments in a Sequence	418,000 Burst trigger: 262,000	3,354,000 Burst trigger: 2,090,000	6,708,000 Burst trigger: 4,180,000	Condition: Waveform memory is <4,000 samples. (<2,000 samples for complex (IQ) data.)
Waveform Play Times				
	32 MB	256 MB	512 MB	
Maximum Play Time, Sample Rate = 100 MS/s, OSP Disabled	0.16 seconds	1.34 seconds	2.68 seconds	Single Trigger mode. Play times can be significantly extended by using Continuous, Stepped, or Burst Trigger modes. For Complex (IQ) mode the play times are halved.
Maximum Play Time, IQ Rate = 1 MS/s, Real Mode, OSP Enabled	16 seconds	2 minutes and 14 seconds	4 minutes and 28 seconds	
Maximum Play Time, IQ Rate = 100 kS/s, Real Mode, OSP Enabled	2 minutes and 47 seconds	22 minutes and 22 seconds	44 minutes and 43 seconds	

Function Generation Mode

Specification	Value		Comments
Standard Waveforms and Maximum Frequencies	Waveform	Maximum Frequency	—
	Sine	43 MHz	
	Square	25 MHz	
	Triangle	5 MHz	
	Ramp Up	5 MHz	
	Ramp Down	5 MHz	
	DC	—	
	Noise (Pseudo-Random)	5 MHz	
	User Defined	43 MHz	
Memory Size	65,536 samples for 1/4 symmetric waveforms (Example: Sine) 16, 384 samples for non-1/4 symmetric waveforms (Example: Ramp)		16-bit samples. User Defined Waveforms must be exactly 16,384 samples.
Frequency Resolution	355 nHz		—
Phase Resolution	0.0055°		—

Onboard Signal Processing

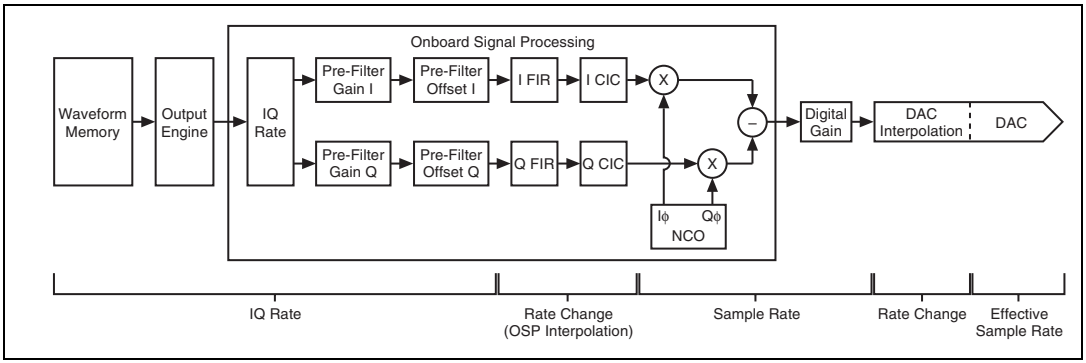

Figure 7. Onboard Signal Processing Block Diagram

Specification	Value	Comments
IQ Rate		
OSP Interpolation Range	12 to 512 (multiples of 2) 512 to 1,024 (multiples of 4) 1,024 to 2,048 (multiples of 8) (OSP Interpolation = FIR Interpolation × CIC Interpolation)	Total NI PXI-5441 Interpolation = OSP Interpolation × DAC Interpolation.
IQ Rate	Sample Rate/OSP Interpolation (Lower IQ Rates are possible by either lowering the sample rate or doing software interpolation)	Example: For a sample rate of 100 MS/s, IQ rate range = 48.8 kS/s to 8.3 MS/s
Data Processing Modes	1. Real (I path only) 2. Complex (IQ)	—

Specification	Value	Comments
Pre-Filter Gain and Offset		
Pre-Filter Gain and Offset Resolution	18 Bits	—
Pre-Filter Gain Range	–2.0 to +2.0 (Values < |1| attenuate User Data)	Unitless
Pre-Filter Offset Range	–1.0 to +1.0	Applied after pre-Filter gain
Output	Output = (User data × pre-Filter gain) + pre-Filter offset (–1 ≤ Output ≤ +1)	Pre-Filter output
FIR (Finite Impulse Response) Filter		
Filter Length	95 Taps	The FIR filter is used to pulse shape the IQ data and to compensate for the CIC filter roll-off.
Coefficient Width	17 bits (–1 to +1)	
Filter Symmetry	Symmetric	
Interpolation Range	2, 4, or 8	
Coefficients	Automatically generated by NI-FGEN (refer to *FIR Filter Types*) or Custom Coefficients provided by the user	

Specification	Value			Comments
FIR Filter Types				
Filter Type	Parameter	Minimum	Maximum	—
Custom	—	—	—	Coefficients are provided by the user.
Flat	Passband	0.1	0.43	Lowpass Filter that minimizes ripple to the following relation: IQ Rate × Passband.
Gaussian	BT	0.1	0.9	—
Raised Cosine	Alpha	0.1	0.9	
Root Raised Cosine	Alpha	0.1	0.9	
CIC (Cascaded Integrator-Comb) Filter				
Size	6 Stages			The CIC Filter does the majority of the interpolation in the OSP.
Interpolation Range	6 ≤ Interpolation ≤ 256 (integers)			
NCO (Numerically Controlled Oscillator)				
Frequency Range	1 mHz to (0.43 × Sample Rate)			—
Frequency Resolution	Sample Rate / 2^{48}			Example: 355 nHz with a Sample Rate of 100 MS/s
I and Q Phase Resolution	0.0055°			—
Phase Quantization	16 bits			Look-up table address width
Tuning Speed	1 ms			—

Specification	Value				Comments
Modulation Performance (Typical)					
Modulation Configuration	Measurement Type	FIR Interpolation			—
		2	4	8	
GSM Physical Layer[1]	MER (Modulation Error Ratio)	46 dB	47 dB	42 dB	Direct path (4 dBmPeak), 25 MHz carrier
	EVM (Error Vector Magnitude)	<0.5 % rms	<0.5 % rms	<0.8 % rms	
W-CDMA Physical Layer[2]	MER	46 dB	39 dB	—	Direct path (4 dBmPeak), 25 MHz carrier, ACPR Measurement BW = 4 MHz and Channel Spacing = 5 MHz
	EVM	<0.5 % rms	<1.0 % rms	—	
	ACPR (Adjacent Channel Power Ratio) (External Sample Clock)	65 dBc	68 dBc	—	
	ACPR (High-Resolution Sample Clock)	61 dBc	61 dBc	—	
DVB Physical Layer[3]	MER	43 dB	—	—	Direct Path (4 dBmPeak), 25 MHz Carrier, ACPR Measurement BW = 7.96 MHz and Channel Spacing = 8 MHz
	EVM	<0.6 % rms	—	—	
	ACPR (External Sample Clock)	48 dBc	—	—	
	ACPR (High-Resolution Sample Clock)	47 dBc	—	—	

[1] OSP Enabled. IQ Rate = 1.083 MS/s, 4 Samples/Symbol. FIR Filter Type = Flat, Passband = 0.4. MSK modulation: Software Pulse Shaping and Phase Accumulation, 270.833 kS/s, Gaussian, BT = 0.3. PN Sequence Order = 14.

[2] OSP Enabled. IQ Rate = 3.84 MS/s, 1 Sample/Symbol. FIR Filter Type = Root Raised Cosine, Alpha = 0.22. QPSK. PN Sequence Order = 15.

[3] OSP Enabled. IQ Rate = 6.92 MS/s, 1 Sample/Symbol. FIR Filter Type = Root Raised Cosine, Alpha = 0.15. 32 QAM Modulation. PN Sequence Order = 15.

Specification	Value			Comments
Digital Performance				
Maximum NCO Spur	< –90 dBc			Full-Scale Output
FIR Interpolation	IQ Rate Range (with 100 MS/s Sample Clock Rate)	OSP Out of Band Suppression	OSP Passband Ripple	—
2	195 kS/s to 8.33 MS/s	63 dB	0 to –0.08 dB	FIR Filter Type = Flat. Passband = 0.4. Ripple Measurement to 0.4 × IQ Rate. Stop Band Suppression from 0.6 × IQ Rate.
4	97.6 kS/s to 4.16 MS/s	74 dB	0 to –0.08 dB	
8	48.8 kS/s to 2.08 MS/s	40 dB	0 to –0.8 dB	

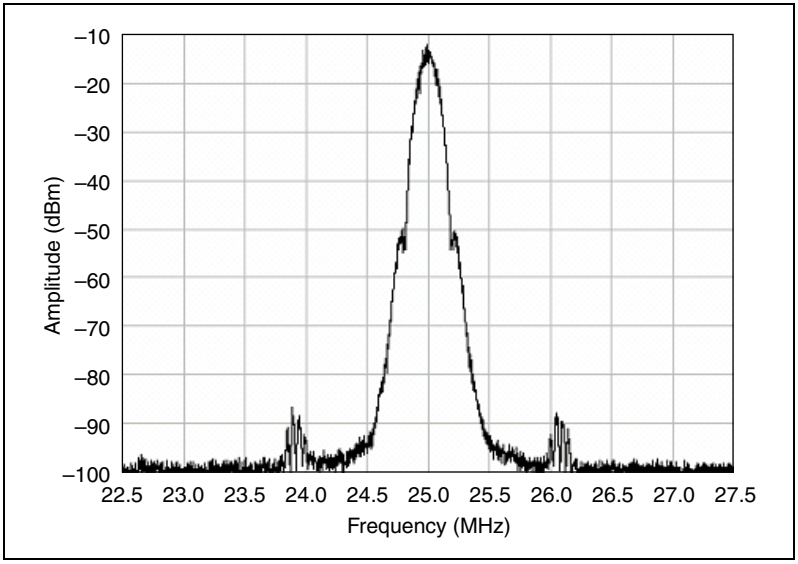

Figure 8. GSM Physical Layer[1,2]
External Sample Clocking = 99.665 MHz

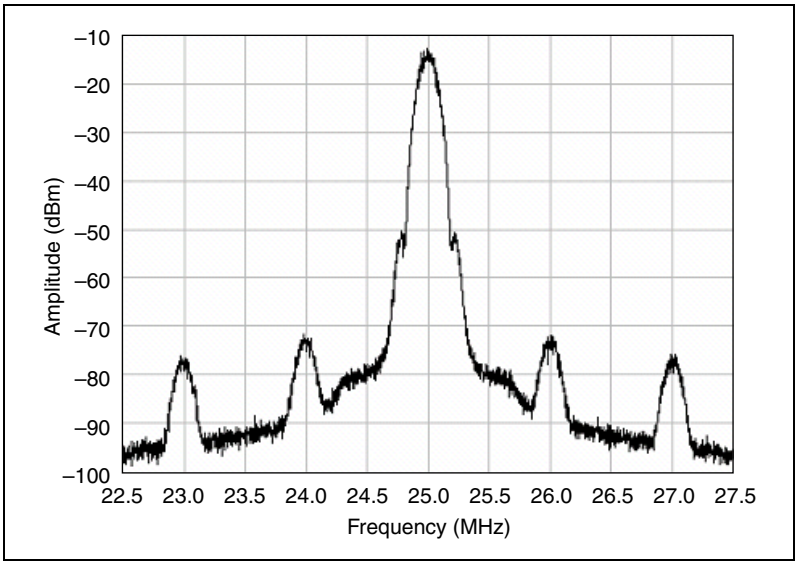

Figure 9. GSM Physical Layer [1,2]
Internal (High Resolution) Sample Clocking = 99.665 MHz
Additional artifacts are caused by High Resolution Clock spurs.

---

[1] OSP Enabled. Direct Path (4 dBm Peak). 25 MHz Carrier. IQ Rate = 1.083 MS/s, 4 Samples/Symbol. FIR Filter Type = Flat, Passband = 0.4. Software MSK modulation: 270.833 kS/s, Gaussian, BT = 0.3. PN Sequence Order = 14.

[2] For more information on eliminating spurs, refer to the *DAC Effective Sample Rate* in the *Sample Clock* section.

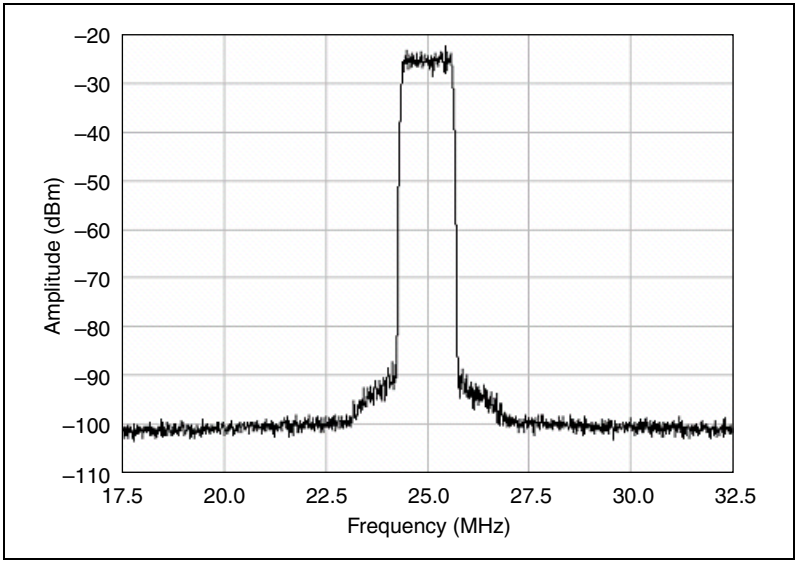

Figure 10. CDMA 2000 Physical Layer[1,2]
External Sample Clocking = 98.304 MHz

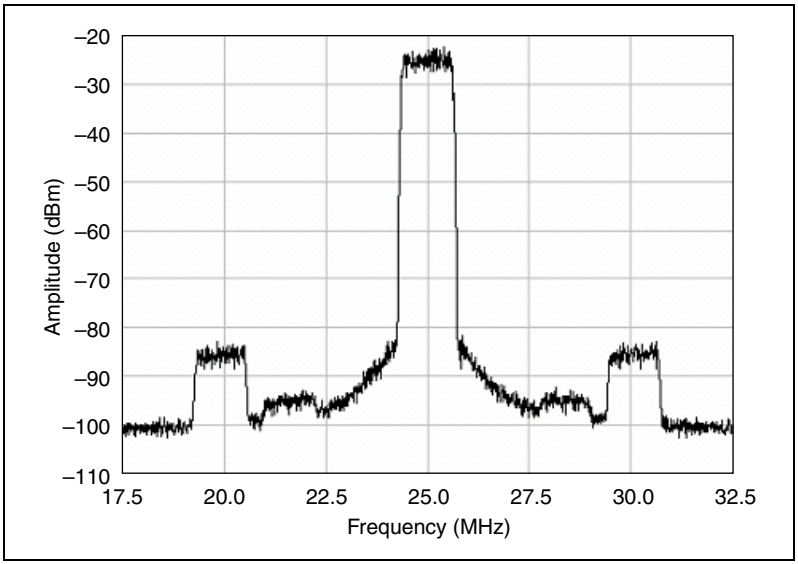

Figure 11. CDMA 2000 Physical Layer[1,2]
Internal (High Resolution) Sample Clocking = 98.304 MHz
Additional artifacts are caused by High Resolution Clock spurs.

---

[1] OSP Enabled. Direct Path (4 dBm Peak). 25 MHz Carrier. IQ Rate = 1.2288 MS/s, 1 Sample/Symbol. FIR Filter Type = Custom Flat Filter with Passband = 0.48. QPSK. PN Sequence Order = 15.

[2] For more information on eliminating spurs, refer to the *DAC Effective Sample Rate* in the *Sample Clock* section.

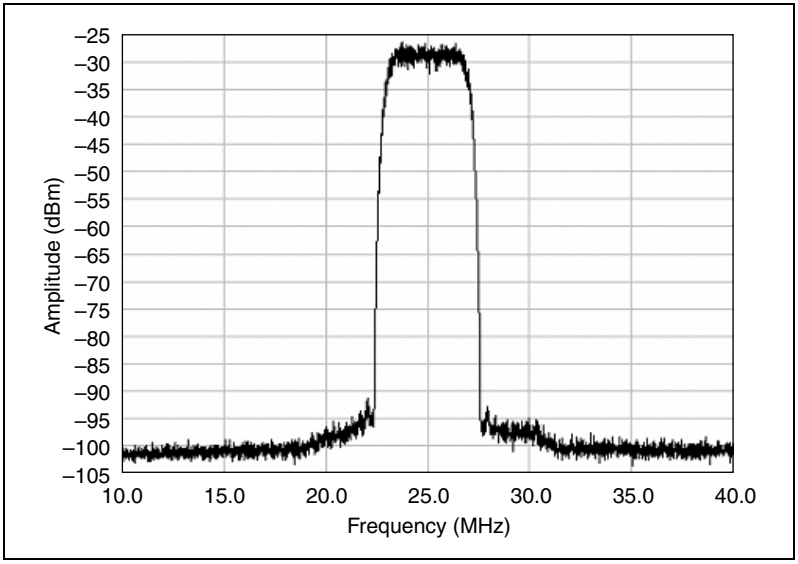

Figure 12. W-CDMA Physical Layer[1,2]
External Sample Clocking = 92.16 MHz

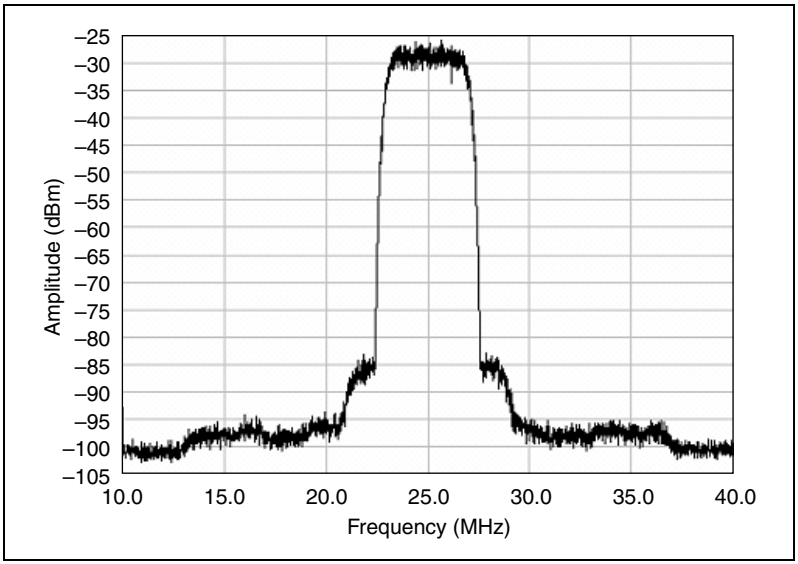

Figure 13. W-CDMA Physical Layer[1,2]
Internal (High Resolution) Sample Clocking = 92.16 MHz
Additional artifacts are caused by High Resolution Clock spurs.

---

[1] OSP Enabled. Direct Path (4 dBm Peak). 25 MHz Carrier. IQ Rate = 3.84 MS/s, 1 Sample/Symbol. FIR Filter Type = Root Raised Cosine, Alpha = 0.22. QPSK. PN Sequence Order = 15.

[2] For more information on eliminating spurs, refer to the *DAC Effective Sample Rate* in the *Sample Clock* section.

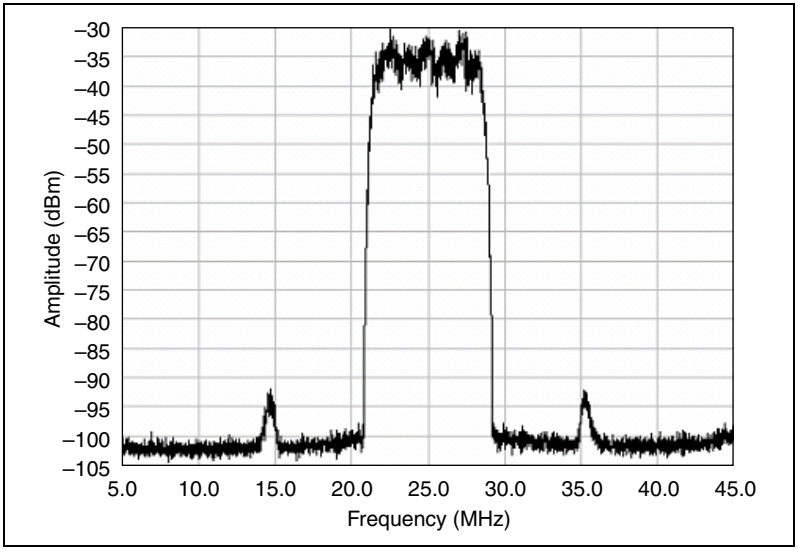

Figure 14. DVB Physical Layer[1,2]
External Sample Clocking = 96.88 MHz
Artifacts at 15 and 35 MHz are due to 2x FIR Interpolation aliasing.

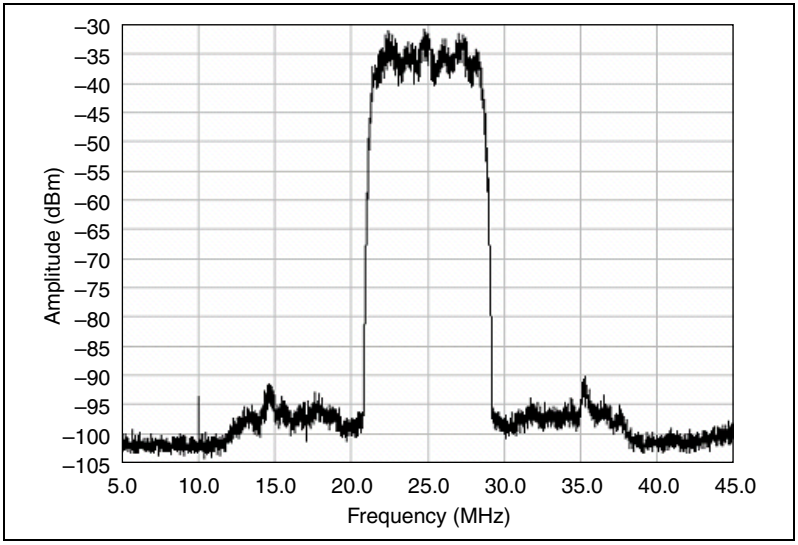

Figure 15. DVB Physical Layer[1,2]
Internal (High Resolution) Sample Clocking = 96.88 MHz
Artifact at 10 MHz is caused by CLK IN feed-through.
Additional artifacts are caused by High Resolution Clock spurs.

---

[1] OSP Enabled. Direct Path (4 dBm Peak). 25 MHz Carrier. IQ Rate = 6.92 MS/s, 1 Sample/Symbol. FIR Filter Type = Root Raised Cosine, Alpha = 0.15. 32 QAM Modulation. PN Sequence Order = 15.

[2] For more information on eliminating spurs, refer to the *DAC Effective Sample Rate* in the *Sample Clock* section.

Calibration

Specification	Value	Comments
Self-Calibration	An onboard, 24-bit ADC and precision voltage reference are used to calibrate the DC gain and offset. The self-calibration is initiated by the user through the software and takes approximately 75 seconds to complete.	—
External Calibration	The external calibration calibrates the VCXO, voltage reference, output impedance, DC gain, and offset. Appropriate constants are stored in nonvolatile memory.	Also known as factory calibration.
Calibration Interval	Specifications valid within two years of external calibration.	—
Warm-up Time	15 minutes	—

Power

Specification	Typical Operation	Overload Operation	Comments
+3.3 VDC	1.9 A	2.7 A	Typical. Overload operation occurs when CH 0 is shorted to ground.
+5 VDC	2.2 A	2.4 A	
+12 VDC	0.46 A	0.5 A	
–12 VDC	0.01 A	0.01 A	
Total Power	22.9 W	27.0 W	

Software

Specification	Value	Comments
Driver Software	NI-FGEN is an IVI-compliant driver that allows you to configure, control, and calibrate the NI 5441. NI-FGEN provides application programming interfaces for many development environments.	—
Application Software	NI-FGEN provides programming interfaces for the following application development environments: • LabVIEW • LabWindows™/CVI™ • Measurement Studio • Microsoft Visual C++ .NET • Microsoft Visual C/C++ • Microsoft Visual Basic	—
Interactive Control and Configuration Software	The FGEN Soft Front Panel supports interactive control of the NI 5441. The FGEN Soft Front Panel is included on the NI-FGEN driver CDs. Measurement & Automation Explorer (MAX) provides interactive configuration and test tools for the NI 5441. MAX is also included on the NI-FGEN CDs. You can use the NI 5441 with NI SignalExpress.	—

Environment

NI PXI-5441 Environment

Note To ensure that the NI PXI-5441 cools effectively, follow the guidelines in the *Maintain Forced-Air Cooling Note to Users* included in the NI 5441 kit. The NI PXI-5441 is intended for indoor use only.

Specifications	Value	Comments
Operating Temperature	0 to +55 ºC in all NI PXI chassis except the following: 0 to +45 ºC when installed in an NI PXI-101*x* or NI PXI-1000B chassis. Meets IEC 60068-2-1 and IEC 60068-2-2.	—
Storage Temperature	–25 to +85 ºC. Meets IEC 60068-2-1 and IEC 60068-2-2.	—
Operating Relative Humidity	10 to 90%, noncondensing. Meets IEC 60068-2-56.	—
Storage Relative Humidity	5 to 95%, noncondensing. Meets IEC 60068-2-56.	—
Operating Shock	30 g, half-sine, 11 ms pulse. Meets IEC 60068-2-27. Test profile developed in accordance with MIL-PRF-28800F.	Spectral and jitter specifications could degrade.
Storage Shock	50 g, half-sine, 11 ms pulse. Meets IEC 60068-2-27. Test profile developed in accordance with MIL-PRF-28800F.	—
Operating Vibration	5 to 500 Hz, 0.31 g_{rms}. Meets IEC 60068-2-64.	Spectral and jitter specifications could degrade.
Storage Vibration	5 to 500 Hz, 2.46 g_{rms}. Meets IEC 60068-2-64. Test profile exceeds requirements of MIL-PRF-28800F, Class B.	—
Altitude	2,000 meter maximum (at 25 °C ambient temperature)	—
Pollution Degree	2	—

Compliance and Certifications

Safety

The NI PXI-5441 is designed to meet the requirements of the following standards of safety for electrical equipment for measurement, control, and laboratory use:

- IEC 61010-1, EN 61010-1
- UL 61010-1, CSA 61010-1

Note For UL and other safety certifications, refer to the product label, or visit `ni.com/certification`, search by model number or product line, and click the appropriate link in the Certification column.

Electromagnetic Compatibility

The NI PXI-5441 is designed to meet the requirements of the following standards of EMC for electrical equipment for measurement, control, and laboratory use:

- EN 61326 EMC requirements; Minimum Immunity
- EN 55011 Emissions; Group 1, Class A
- CE, C-Tick, ICES, and FCC Part 15 Emissions; Class A

Note For EMC compliance, operate this device according to product documentation.

CE Compliance

The NI PXI-5441 meets the essential requirements of applicable European Directives, as amended for CE marking, as follows:

- 2006/95/EC; Low-Voltage Directive (safety)
- 2004/108/EC; Electromagnetic Compatibility Directive (EMC)

Note Refer to the Declaration of Conformity (DoC) for this product for any additional regulatory compliance information. To obtain the DoC for this product, visit `ni.com/certification`, search by model number or product line, and click the appropriate link in the Certification column.

Environmental Management

National Instruments is committed to designing and manufacturing products in an environmentally responsible manner. NI recognizes that eliminating certain hazardous substances from our products is beneficial not only to the environment but also to NI customers.

For additional environmental information, refer to the *NI and the Environment* Web page at `ni.com/environment`. This page contains the environmental regulations and directives with which NI complies, as well as other environmental information not included in this document.

Waste Electrical and Electronic Equipment (WEEE)

EU Customers At the end of their life cycle, all products *must* be sent to a WEEE recycling center. For more information about WEEE recycling centers and National Instruments WEEE initiatives, visit `ni.com/environment/weee.htm`.

电子信息产品污染控制管理办法 （中国 RoHS）

中国客户 National Instruments 符合中国电子信息产品中限制使用某些有害物质指令 (RoHS)。关于 National Instruments 中国 RoHS 合规性信息，请登录 `ni.com/environment/rohs_china`。(For information about China RoHS compliance, go to `ni.com/environment/rohs_china`.)

Physical

Specification	Value		Comments
Dimensions	3U, One Slot, PXI/cPCI Module 21.6 × 2.0 × 13.0 cm (8.5 × 0.8 × 5.1 in.)		—
Weight	345 g (12.1 oz)		—
Front Panel Connectors			
Label	Function(s)	Connector Type	—
CH 0	Analog output	SMB (jack)	
CLK IN	Sample clock input and PLL reference clock input.	SMB (jack)	
PFI 0	Marker output, trigger input, sample clock output, exported trigger output, and PLL reference clock output.	SMB (jack)	
PFI 1	Marker output, trigger input, sample clock output, exported trigger output, and PLL reference clock output.	SMB (jack)	
DIGITAL DATA & CONTROL	Digital data output, trigger input, exported trigger output, markers, external sample clock input, and sample clock output.	68-pin VHDCI female receptacle	
Front Panel LED Indicators			
Label	Function		For more information, refer to the *NI Signal Generators Help*.
ACCESS	The ACCESS LED indicates the status of the PCI bus and the interface from the NI 5441 to the controller.		
ACTIVE	The ACTIVE LED indicates the status of the onboard generation hardware of the NI 5441.		
Included Cable			
	1 (NI part number 763541-01), 50 Ω, BNC Male to SMB Plug, RG223/U, Double Shielded, 1 m cable.		—

Note NI PXI-5441 modules of revision B or later are equipped with a modified PXI Express-compatible backplane connector. This modified connector allows the NI PXI-5441 to be supported by hybrid slots in a PXI Express chassis. To determine the revision of an NI PXI-5441 module, read the label on the underside of the NI PXI-5441. The label will list an assembly number of the format 191789*x*-01, where *x* is the revision.

Where to Go for Support

The National Instruments Web site is your complete resource for technical support. At `ni.com/support` you have access to everything from troubleshooting and application development self-help resources to email and phone assistance from NI Application Engineers.

A Declaration of Conformity (DoC) is our claim of compliance with the Council of the European Communities using the manufacturer's declaration of conformity. This system affords the user protection for electromagnetic compatibility (EMC) and product safety. You can obtain the DoC for your product by visiting `ni.com/certification`. If your product supports calibration, you can obtain the calibration certificate for your product at `ni.com/calibration`.

National Instruments corporate headquarters is located at 11500 North Mopac Expressway, Austin, Texas, 78759-3504. National Instruments also has offices located around the world to help address your support needs. For telephone support in the United States, create your service request at `ni.com/support` and follow the calling instructions or dial 512 795 8248. For telephone support outside the United States, contact your local branch office:

Australia 1800 300 800, Austria 43 662 457990-0,
Belgium 32 (0) 2 757 0020, Brazil 55 11 3262 3599,
Canada 800 433 3488, China 86 21 5050 9800,
Czech Republic 420 224 235 774, Denmark 45 45 76 26 00,
Finland 358 (0) 9 725 72511, France 01 57 66 24 24,
Germany 49 89 7413130, India 91 80 41190000, Israel 972 3 6393737,
Italy 39 02 41309277, Japan 0120-527196, Korea 82 02 3451 3400,
Lebanon 961 (0) 1 33 28 28, Malaysia 1800 887710,
Mexico 01 800 010 0793, Netherlands 31 (0) 348 433 466,
New Zealand 0800 553 322, Norway 47 (0) 66 90 76 60,
Poland 48 22 3390150, Portugal 351 210 311 210, Russia 7 495 783 6851,
Singapore 1800 226 5886, Slovenia 386 3 425 42 00,
South Africa 27 0 11 805 8197, Spain 34 91 640 0085,
Sweden 46 (0) 8 587 895 00, Switzerland 41 56 2005151,
Taiwan 886 02 2377 2222, Thailand 662 278 6777,
Turkey 90 212 279 3031, United Kingdom 44 (0) 1635 523545

National Instruments, NI, ni.com, and LabVIEW are trademarks of National Instruments Corporation. Refer to the *Terms of Use* section on `ni.com/legal` for more information about National Instruments trademarks. Other product and company names mentioned herein are trademarks or trade names of their respective companies. For patents covering National Instruments products, refer to the appropriate location: **Help»Patents** in your software, the `patents.txt` file on your media, or `ni.com/patents`.

© 2005–2008 National Instruments Corporation. All rights reserved.

323846C Jun08

NI PXI-5441 仕様

16 ビット 100 MS/s オンボード信号処理（OSP）機能付き任意波形発生器

このドキュメントには、NI PXI-5441 任意波形発生器の仕様が記載されています。特に注記のない限り、各仕様において以下の条件が適用されます。

- アナログフィルタ有効化。
- DAC 補間は使用中のサンプルレートの最大許容値に設定。
- 50 Ω で信号を終端。
- ダイレクトパスを 1 V_{pk-pk} に設定、低ゲインアンプパスを 2 V_{pk-pk} に設定、高ゲインアンプパスを 12 V_{pk-pk} に設定。
- サンプルクロックは 100 MS/s に設定。

標準値は、室温（25 ± 3 ℃) で測定される平均単位です。仕様は事前の通知なしに変更されることがあります。最新の NI PXI-5441 の仕様については、`ni.com/manuals` を参照してください。

NI 5441 信号の機能の説明を含む『NI 信号発生器スタートアップガイド』などの、NI 5441 のドキュメントにアクセスするには、**スタート→すべてのプログラム→ National Instruments → NI-FGEN →ドキュメント**を選択します。

熱面 NI 5441 が使用されている場合、安全な取扱温度を超え、火傷が起こる場合があります。シャーシから取り外す前に、NI 5441 を冷却してください。

目次

CH 0 2
サンプルクロック 14
オンボードクロック 16
位相ロックループ（PLL）基準クロック 17
CLK IN 18
PFI 0 および PFI 1 19
DIGITAL DATA & CONTROL (DDC) 20
開始トリガ 22
マーカ 23

任意波形生成モード....24
関数発生モード....27
オンボード信号処理....28
キャリブレーション....36
電源....36
ソフトウェア....37
環境....38
NI PXI-5441 の環境....38
認可および準拠....39
安全性....39
電磁両立性....39
CE 準拠....39
環境管理....40
物理特性....41
サポート情報....42

CH 0
（チャンネル 0 アナログ出力、フロントパネルコネクタ）

仕様	値	コメント
チャンネル数	1	—
コネクタ	SMB（ジャック）	—
出力電圧特性		
出力パス	1. ソフトウェアで選択可能なメイン出力パス設定は、12.00 V_{pk-pk} ～ 5.64 mV_{pk-pk}（50 Ω 負荷）のフルスケール電圧を提供します。NI-FGEN は、メイン出力パスが選択されると、ゲイン属性によって低ゲインアンプまたは高ゲインアンプを使用します。 2. ソフトウェアで選択可能なダイレクトパスは中間周波数（IF）アプリケーションに対して最適化され、1,000 ～ 0.707 V_{pk-pk} のフルスケール電圧を提供します。	—
DAC 分解能	16 ビット	—

仕様	値				コメント
振幅とオフセット					
振幅範囲	パス	負荷	振幅（V_{pk-pk}） 最小値	最大値	振幅値は、DAC のフルスケールが利用されていると仮定。最小値よりも小さい振幅を希望する場合は、DAC のフルスケールよりも小さい波形が使用できます。 NI-FGEN は、ユーザ指定の抵抗負荷を補正します。
	ダイレクトパス	50 Ω	0.707	1.00	
		1 kΩ	1.35	1.91	
		開回路	1.41	2.00	
	低ゲインアンプ	50 Ω	0.00564	2.00	
		1 kΩ	0.0107	3.81	
		開回路	0.0113	4.00	
	高ゲインアンプ	50 Ω	0.0338	12.0	
		1 kΩ	0.0644	22.9	
		開回路	0.0676	24.0	
振幅分解能	< 振幅範囲の 0.06%（0.004 dB）				—
オフセット範囲	振幅範囲の ±25% のスパン。増分は振幅範囲の 0.0014% 未満。				ダイレクトパスでは利用不可。
最大出力電圧					
最大出力電圧	パス	負荷	最大出力電圧（V_{pk}）		NI 5441 の最大出力電圧は、振幅範囲およびオフセット範囲により決定されます。
	ダイレクトパス	50 Ω	±0.500		
		1 kΩ	±0.953		
		開回路	±1.000		
	低ゲインアンプ	50 Ω	±1.000		
		1 kΩ	±1.905		
		開回路	±2.000		
	高ゲインアンプ	50 Ω	±6.000		
		1 kΩ	±11.43		
		開回路	±12.00		

仕様	値	コメント
確度		
DC 確度	**低ゲインまたは高ゲインアンプパスの場合** : ± 振幅範囲の 0.2% ± オフセットの 0.05% ± 500 µV（セルフキャリブレーション温度の ±10 ℃以内） ± 振幅範囲の 0.4% ± オフセットの 0.05% ±1 mV (0 ～ 55 ℃） **ダイレクトパスの場合** : ゲイン確度 : ± 振幅範囲の 0.2%（セルフキャリブレーション温度の ±10 ℃以内） ゲイン確度 : ± 振幅範囲の 0.4%（0 ～ 55 ℃） DC 誤差 : ±30 mV（0 ～ 55 ℃） **メモ** : DC 確度については、「振幅範囲」はゲイン設定の 2 倍と定義されます。たとえば、ゲインが 8 の DC 信号の場合は、振幅範囲は 16 V となります。この信号のオフセットが 1.5 V である場合、DC 確度は以下の式で求めることができます。 ±0.2% × (16 V) ± 0.05% × (1.5 V) ± 500 µV = ±33.25 mV	すべてのパスは振幅およびゲイン誤差に校正されます。また、低ゲインおよび高ゲインアンプパスもオフセット誤差に校正されます。
AC 振幅確度	± 振幅の 1.0% ±1 mV	50 kHz 正弦波。
出力特性		
出力インピーダンス	50 Ω 公称または 75Ω 公称（ソフトウェアで選択可能）。	—
負荷インピーダンス補正	出力振幅は、ユーザ指定の負荷インピーダンスに対して補正されています。	—
出力カプリング	DC	—
出力有効化	ソフトウェアで選択可能。無効な場合、CH 0 出力は選択された出力インピーダンスに等しい値を持つ 1 W 抵抗で終端されます。	—
最大出力過負荷	CH 0 出力は、破損せずに 50Ω、±12 V（ダイレクトパスの場合は ±8 V) ソースに接続可能。CH 0 出力が無限に短絡接地されている場合は破損しません。	—
波形加算	CH 0 出力は、類似するパス間での波形加算をサポートしています。特に複数の NI 5441 信号発生器の出力端子をまとめて接続できます。	—

<table>
<tr><th>仕様</th><th colspan="3">値</th><th>コメント</th></tr>
<tr><td colspan="5">周波数および過渡応答</td></tr>
<tr><td>帯域幅</td><td colspan="3">43 MHz</td><td>−3 dB で測定。</td></tr>
<tr><td>DAC デジタル補間フィルタ</td><td colspan="3">ソフトウェアで選択可能な有限インパルス応答（FIR）フィルタ。使用可能な補間係数は、2、4、または 8。</td><td>10 MS/s 未満のサンプルクロックレートでは、デジタルフィルタは無効です。
DAC 補間によるサンプルレートへの影響に関する詳細については、「DAC 実効サンプルレート」セクションを参照してください。
OSP 補間については、「オンボード信号処理」セクションを参照してください。</td></tr>
<tr><td>アナログフィルタ</td><td colspan="3">ソフトウェアで選択可能なイメージ抑制用 7 次楕円フィルタ。</td><td>低ゲインおよび高ゲインアンプパスでのみ利用可能。</td></tr>
<tr><td rowspan="3">パスバンドフラットネス</td><td colspan="3">パス</td><td rowspan="3">50 kHz を基準とします。</td></tr>
<tr><td>ダイレクトパス</td><td>低ゲインアンプ</td><td>高ゲインアンプ</td></tr>
<tr><td>−0.4 ～ +0.6dB
100 Hz ～ 40 MHz</td><td>−1.0 dB ～ +0.5
100 Hz ～ 20 MHz</td><td>−1.2 ～ +0.5 dB
100 Hz ～ 20 MHz</td></tr>
<tr><td rowspan="4">パルス応答</td><td colspan="3">パス</td><td rowspan="4">アナログフィルタおよび DAC 補間フィルタ無効化。</td></tr>
<tr><td>ダイレクトパス</td><td>低ゲインアンプ</td><td>高ゲインアンプ</td></tr>
<tr><td>立ち上がり / 立ち下がり時間</td><td><5 ns</td><td><8 ns</td><td><10 ns</td></tr>
<tr><td>収差</td><td><10%</td><td><5%</td><td><5%</td></tr>
</table>

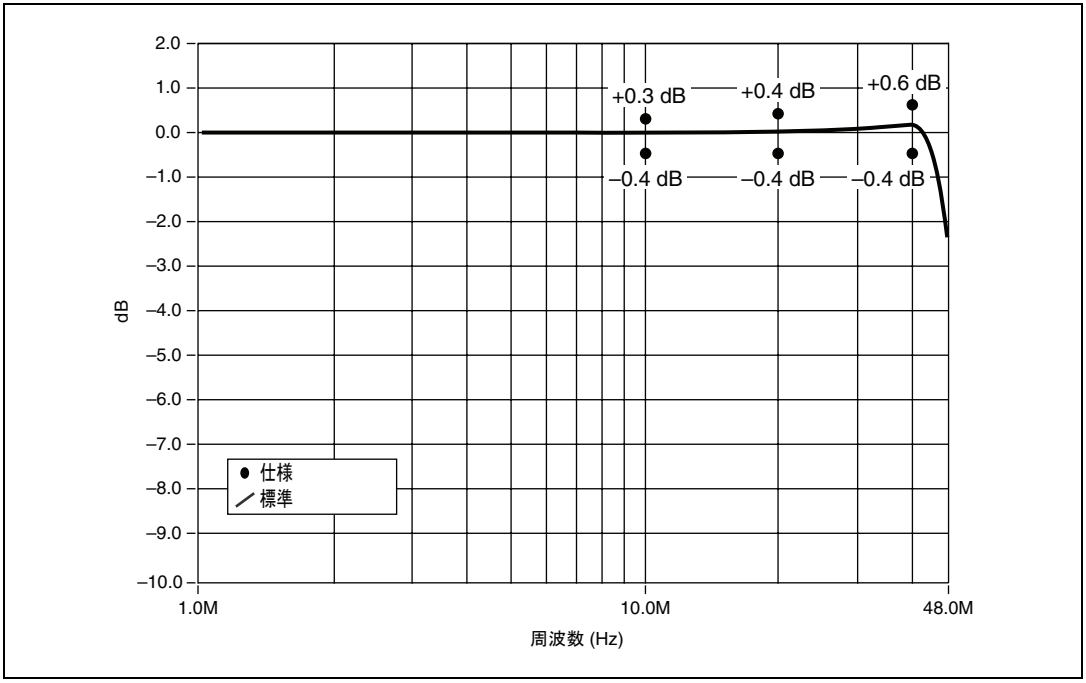

図 1　平均化されたパスバンドフラットネス、ダイレクトパス

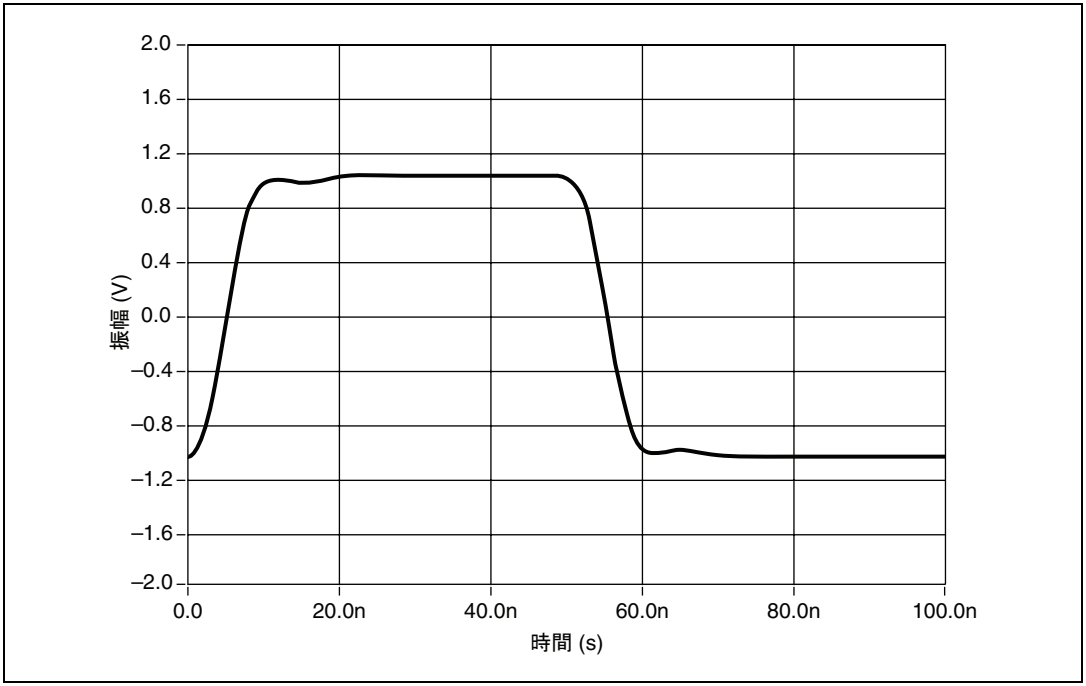

図 2　パルス応答、低ゲインアンプパス（50 Ω 負荷）

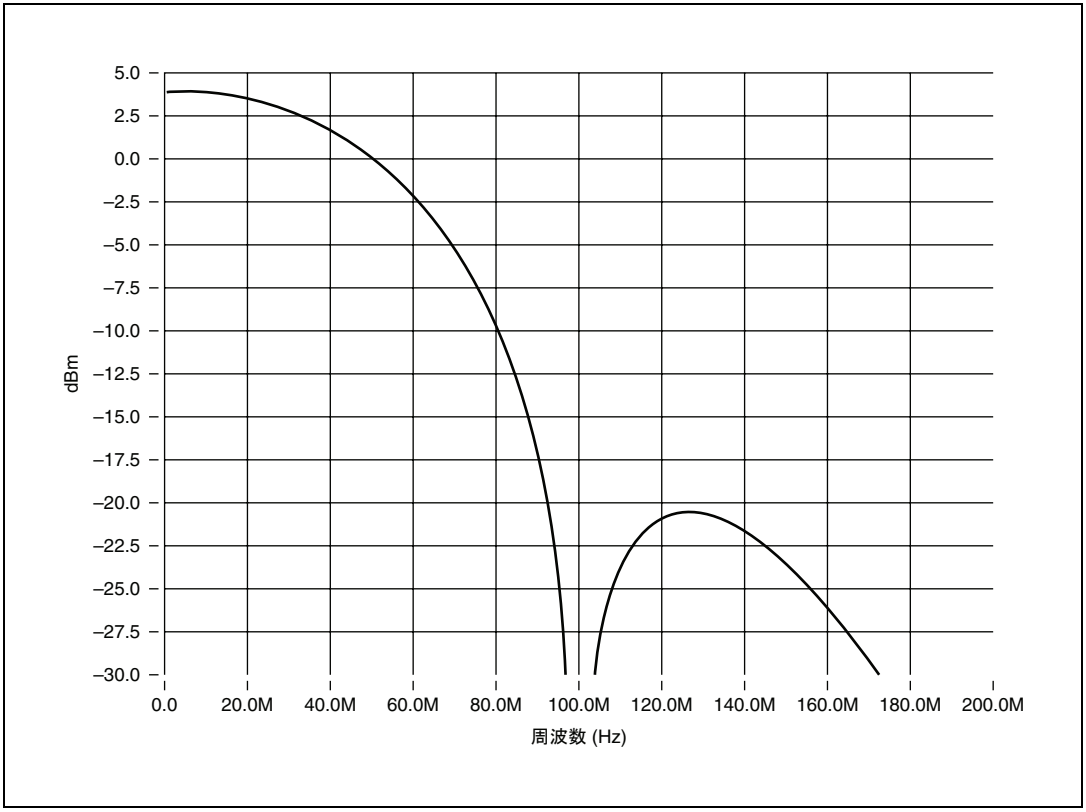

図 3　ダイレクトパスの周波数応答、100 MS/s、1x DAC 補間

メモ　50 MHz 以上の場合、周波数応答はイメージ応答となります。

仕様	値			コメント
一般的な関数における推奨する最大周波数				
関数	パス			方形波、ランプ波、三角波ではアナログフィルタおよび DAC 補間フィルタを無効化。 最小周波数は 0 Hz。 * ダイレクトパスは周波数領域に対して最適化されています。
	ダイレクトパス	低ゲインアンプ	高ゲインアンプ	
正弦波	43 MHz	43 MHz	43 MHz	
方形波	推奨されていません *	25 MHz	12.5 MHz	
ランプ波	推奨されていません *	5 MHz	5 MHz	
三角波	推奨されていません *	5 MHz	5 MHz	

仕様	値			コメント
スペクトル特性				
SINAD (Signal to Noise and Distortion)	パス			振幅 −1 デシベルフルスケール (dBFS)。DC ～ 50 MHz まで測定。低振幅の SINAD は、−148 dBm/Hz ノイズフロアによって制限されます。すべての値は標準。
	ダイレクトパス	低ゲインアンプ	高ゲインアンプ	
1 MHz	64 dB	66 dB	63 dB	
10 MHz	61 dB	60 dB	47 dB	
20 MHz	57 dB	56 dB	42 dB	
30 MHz	60 dB	62 dB	62 dB	
40 MHz	60 dB	62 dB	62 dB	
43 MHz	58 dB	60 dB	55 dB	
高調波を含むスプリアスフリーダイナミックレンジ (SFDR)[1]	パス			振幅 −1 dBFS。DC ～ 50 MHz まで測定。高調波歪みとも呼ばれます。低振幅の高調波を含む SFDR は、−148 dBm/Hz ノイズフロアによって制限されます。すべての値は標準で、エイリアスされた高調波が含まれます。
	ダイレクトパス	低ゲインアンプ	高ゲインアンプ	
1 MHz	76 dB	71 dB	58 dB	
10 MHz	68 dB	64 dB	47 dB	
20 MHz	60 dB	57 dB	42 dB	
30 MHz	73 dB	73 dB	74 dB	
40 MHz	76 dB	73 dB	74 dB	
43 MHz	78 dB	75 dB	59 dB	
高調波なし SFDR	パス			振幅 −1 dBFS。DC ～ 50 MHz まで測定。低振幅、高調波なしの SFDR は、−148 dBm/Hz ノイズフロアによって制限されます。すべての値は標準で、エイリアスされた高調波が含まれます。
	ダイレクトパス	低ゲインアンプ	高ゲインアンプ	
1 MHz	87 dB	90 dB	90 dB	
10 MHz	86 dB	88 dB	90 dB	
20 MHz	79 dB	88 dB	88 dB	
30 MHz	72 dB	72 dB	73 dB	
40 MHz	75 dB	72 dB	73 dB	
43 MHz	77 dB	74 dB	59 dB	

[1] ダイナミックレンジは搬送波レベルと最大スプリアスの差として定義されます。

仕様	値			コメント
0 ～ 40 ℃ 全高調波歪み（THD）	パス			振幅 −1 dBFS。第 2 高調波から第 6 高調波を含む。
	ダイレクトパス	低ゲインアンプ	高ゲインアンプ	
20 kHz	−77 dBc（標準）	−77 dBc（標準）	−77 dBc（標準）	
1 MHz	−75 dBc（標準）	−70 dBc（標準）	−62 dBc（標準）	
5 MHz	−68 dBc	−68 dBc	−55 dBc	
10 MHz	−65 dBc	−61 dBc	−46 dBc	
20 MHz	−55 dBc	−53 dBc	−40 dBc	
30 MHz	−50 dBc	−48 dBc	−38 dBc	
40 MHz	−47 dBc	−46 dBc	−34 dBc	
43 MHz	−46 dBc	−45 dBc	−33 dBc	
0 ～ 55 ℃ THD	パス			振幅 −1 dBFS。第 2 高調波から第 6 高調波を含む。
	ダイレクトパス	低ゲインアンプ	高ゲインアンプ	
20 kHz	−76 dBc（標準）	−76 dBc（標準）	−76 dBc（標準）	
1 MHz	−74 dBc（標準）	−69 dBc（標準）	−61 dBc（標準）	
5 MHz	−67 dBc	−67 dBc	−54 dBc	
10 MHz	−63 dBc	−60 dBc	−45 dBc	
20 MHz	−54 dBc	−52 dBc	−39 dBc	
30 MHz	−48 dBc	−46 dBc	−36 dBc	
40 MHz	−45 dBc	−41 dBc	−32 dBc	
43 MHz	−44 dBc	−41 dBc	−31 dBc	

仕様	値						コメント
スペクトル特性（続き）							
平均ノイズ密度	パス	振幅範囲		平均ノイズ密度			低振幅の平均ノイズ密度は、−148 dBm/Hz ノイズフロアによって制限されます。
		$V_{pk\text{-}pk}$	dBm	$\frac{nV}{\sqrt{Hz}}$	dBm/Hz	dBFS/Hz	
	ダイレクトパス	1	4.0	18	−142	−146.0	
	低ゲイン	0.06	−20.4	9	−148	−127.6	
	低ゲイン	0.1	−16.0	9	−148	−132.0	
	低ゲイン	0.4	−4.0	13	−145	−141.0	
	低ゲイン	1	4.0	18	−142	−146.0	
	低ゲイン	2	10.0	35	−136	−146.0	
	高ゲイン	4	16.0	71	−130	−146.0	
	高ゲイン	12	25.6	213	−120	−145.6	

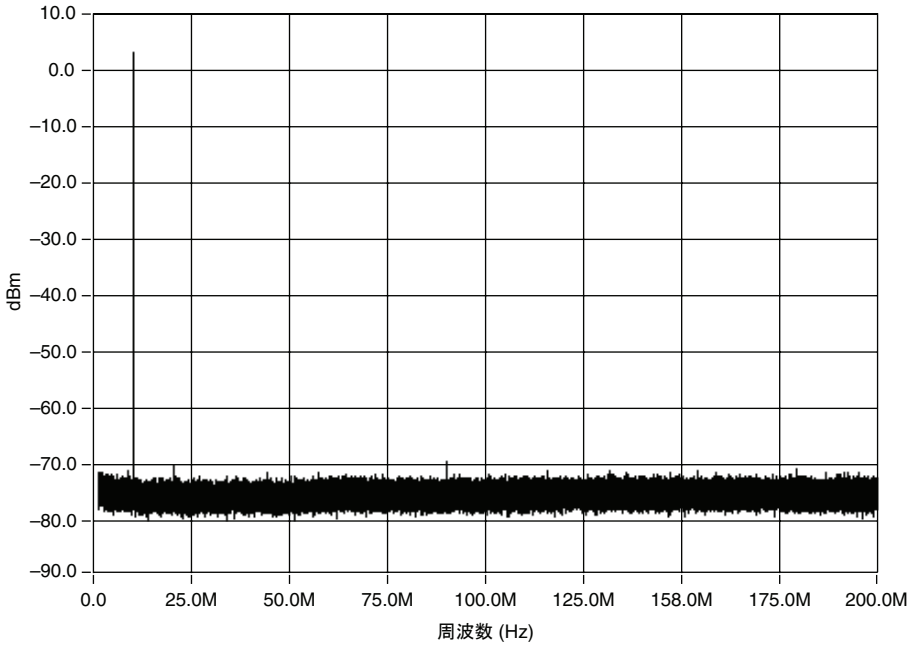

図 4　10 MHz シングルトーンスペクトル、ダイレクトパス、100 MS/s、4 に設定された DAC 補間係数

メモ　図 4 のノイズフロアは、測定デバイスによって制限されます。この制限に関する詳細については、「平均ノイズ密度」仕様を参照してください。

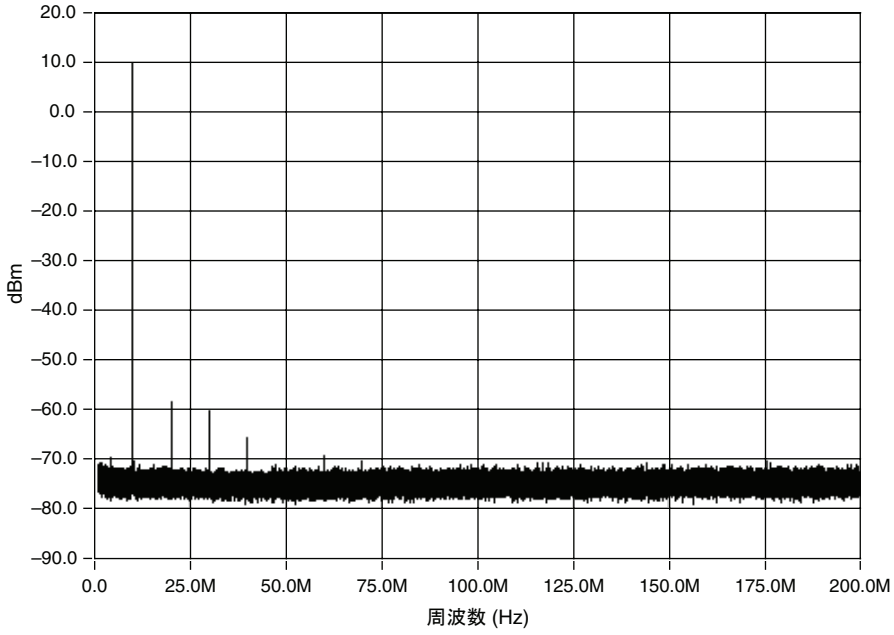

図 5　10 MHz シングルトーンスペクトル、低ゲインアンプパス、100 MS/s、4 に設定された DAC 補間係数

メモ　図 5 のノイズフロアは、測定デバイスによって制限されます。この制限に関する詳細については、「平均ノイズ密度」仕様を参照してください。

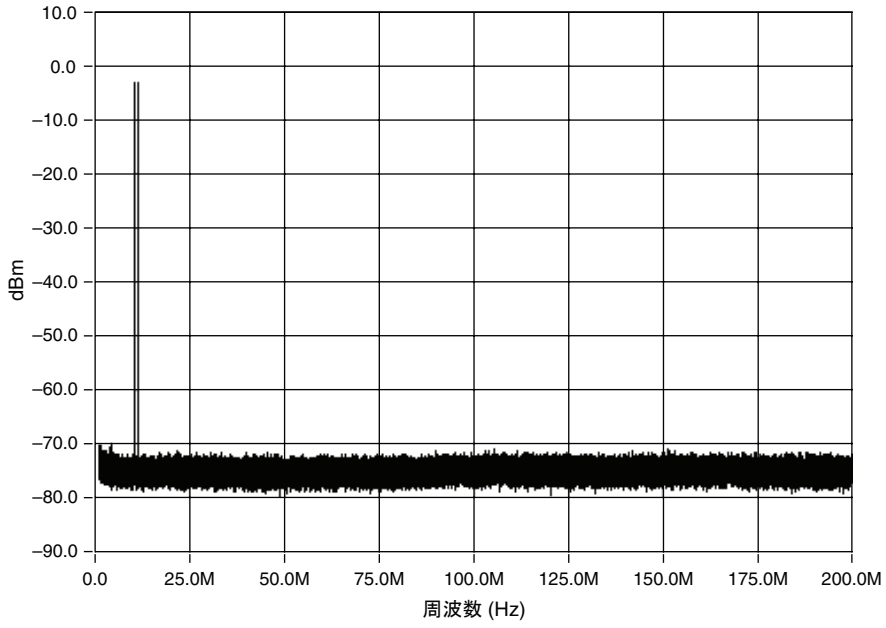

図 6　ダイレクトパス、2 トーンススペクトル（通常）

メモ　図 6 のノイズフロアは、測定デバイスによって制限されます。この制限に関する詳細については、「平均ノイズ密度」仕様を参照してください。

サンプルクロック

<table>
<tr><th>仕様</th><th colspan="3">値</th><th>コメント</th></tr>
<tr><td>サンプル
クロックソース</td><td colspan="3">1. 内部、Nで除算（N≥ 1）
2. 内部、DDS ベース、高分解能
3. 外部、CLK IN（SMB フロントパネルコネクタ）
4. 外部、DDC CLK IN（DIGITAL DATA & CONTROL フロントパネルコネクタ）
5. 外部、PXI スタートリガ（PXI バックプレーンコネクタ）
6. 外部、PXI_Trig<0..7>（PXI バックプレーンコネクタ）</td><td>内部クロックソースの詳細については、「オンボードクロック」のセクションを参照してください。</td></tr>
<tr><td colspan="5">サンプルレートの範囲と分解能</td></tr>
<tr><td>サンプル
クロックソース</td><td>サンプルレート範囲</td><td colspan="2">サンプルレート分解能</td><td rowspan="6">—</td></tr>
<tr><td>Nで除算</td><td>23.84 S/s ～ 100 MS/s</td><td colspan="2">（100 MS/s）/N（1 ≤ N≤ 4,194,304）に設定可能</td></tr>
<tr><td>高分解能</td><td>10 S/s ～ 100 MS/s</td><td colspan="2">1.06 µHz</td></tr>
<tr><td>CLK IN</td><td>200 kS/s ～ 105 MS/s</td><td colspan="2" rowspan="4">外部クロックソースにより決定される分解能。
外部サンプルクロックのデューティーサイクルの許容値 40 ～ 60%。</td></tr>
<tr><td>DDC CLK IN</td><td>10 S/s ～ 105 MS/s</td></tr>
<tr><td>PXI スタートリガ</td><td>10 S/s ～ 105 MS/s</td></tr>
<tr><td>PXI_Trig<0..7></td><td>10 S/s ～ 20 MS/s</td></tr>
<tr><td colspan="5">DAC 実効サンプルレート</td></tr>
<tr><td rowspan="5"></td><td>サンプルレート（MS/s）</td><td>DAC 補間係数</td><td>実効サンプルレート</td><td rowspan="5">DAC 実効サンプルレート =（DAC 補間係数）×（サンプルレート）
OSP 補間については、「オンボード信号処理」セクションを参照してください。</td></tr>
<tr><td>10 S/s ～ 105 MS/s</td><td>1（OFF）</td><td>10 S/s ～ 105 MS/s</td></tr>
<tr><td>12.5 MS/s ～ 105 MS/s</td><td>2</td><td>25 MS/s ～ 210 MS/s</td></tr>
<tr><td>10 MS/s ～ 100 MS/s</td><td>4</td><td>40 MS/s ～ 400 MS/s</td></tr>
<tr><td>10 MS/s ～ 50 MS/s</td><td>8</td><td>80 MS/s ～ 400 MS/s</td></tr>
</table>

仕様	値				コメント
サンプルレートの遅延範囲と分解能					
サンプルクロックソース	遅延の調整範囲			遅延の調整分解能	—
*N*で除算	±1 サンプルクロック周期			<10 ps	
高分解能	±1 サンプルクロック周期			サンプルクロック周期 / 16,384	
外部（すべて）	0 ～ 7.6 ns			<15 ps	
システム位相ノイズおよびジッタ（10 MHz 搬送波）					
サンプルクロックソース	システム位相ノイズ密度（dBc/Hz）オフセット			システム出力ジッタ（100 Hz ～ 100 kHz を統合）	2× DAC オーバーサンプリングに指定。
	100 Hz	1 kHz	10 kHz		
*N*で除算	−110	−131	−137	<1.0 ps rms	
高分解能 [1]	−114	−126	−126	<4.0 ps rms	
CLK IN	−113	−132	−135	<1.1 ps rms	
PXI スタートリガ [2]	−115	−118	−130	<3.0 ps rms	
[1] サンプルレートが低くなると、高分解能仕様が向上。 [2] PXI スタートリガ仕様は、サンプルクロックソースが PXI_CLK10 にロックされている場合に有効。					
外部サンプルクロック入力のジッタ許容値	サイクル間ジッタ ±300 ps 周期ジッタ ±1 ns				—
サンプルクロックのエクスポート					
エクスポートしたサンプルクロックの出力先	1. PFI<0..1>（SMB フロントパネルコネクタ） 2. DDC CLK OUT（DIGITAL DATA & CONTROL フロントパネルコネクタ） 3. PXI_Trig<0..6>（PXI バックプレーンコネクタ）				エクスポートしたサンプルクロックは、整数 *K*（1 ≤ *K* ≤ 4,194,304）で分周可能。
エクスポートしたサンプルクロックの出力先	最大周波数	ジッタ（標準）	デューティーサイクル		—
PFI<0..1>	105 MHz	PFI 0: 6 ps rms PFI 1: 12 ps rms	25 ～ 65%		
DDC CLK OUT	105 MHz	40 ps rms	40 ～ 60%		
PXI_Trig<0..6>	20 MHz	—	—		

メモ サンプルクロックの純度が NI PXI-5441 の性能に大きな影響を与える可能性があります。サンプルクロックの大量のジッタまたは位相ノイズにより、信号発生器のスペクトルで、純粋なサンプルクロック使用時には存在しないスプリアスが発生する場合があります。たとえば、クロックモードプロパティが自動に設定されている場合、NI-FGEN は通常、高分解能クロックを選択し、特定の IQ レートを達成します。高分解能クロックでは *N* で除算クロックよりも多くのジッタが発生し、信号発生器の出力スペクトルで余分なスプリアスが発生する場合があります (この現象例については、図 8 ～ 15 を参照)。ソフトウェアのリサンプリングを使用せずに余分なスプリアスを除去するには、純粋な外部クロックを使用することができます。低ジッタで <1 Hz 周波数分解能の NI PXI-5650/5651/5652 周波数発生器は、優れた選択肢です。

オンボードクロック（内部 VCXO）

仕様	値	コメント
クロックソース	内部サンプルクロックは、位相ロックループを使用して基準クロックにロック、もしくはオンボード VCXO 周波数基準から取得されます。	—
周波数確度	±25 ppm	—

位相ロックループ（PLL）基準クロック

仕様	値	コメント
基準クロックソース	1. PXI_CLK10（PXI バックプレーンコネクタ） 2. CLK IN（SMB フロントパネルコネクタ）	PLL 基準クロックは、PLL に対する基準周波数を提供します。
周波数確度	PLL を使用する場合、NI 5441 の周波数確度は、PLL 基準クロックソースの周波数確度のみに基づきます。	—
ロック時間	標準 : 70 ms 最大 : 200 ms	—
周波数範囲	5 ～ 20 MHz（1 MHz 間隔）、デフォルトで 10 MHz。 PLL 基準クロック周波数は ±50 ppm の確度である必要があります。	—
デューティーサイクル範囲	40 ～ 60%	—
エクスポートした PLL 基準クロックの出力先	1. PFI<0..1>（SMB フロントパネルコネクタ） 2. PXI_Trig<0..6>（PXI バックプレーンコネクタ）	—

CLK IN
（サンプルクロックおよび基準クロック入力、フロントパネルコネクタ）

仕様	値	コメント
コネクタ	SMB（ジャック）	—
方向	入力	—
出力先	1. サンプルクロック 2. PLL 基準クロック	—
周波数範囲	1 ～ 105 MHz（サンプルクロックの出力先および正弦波） 200 kHz ～ 105 MHz（サンプルクロックの出力先および方形波） 5 ～ 20 MHz（PLL 基準クロックの出力先）	—
入力電圧範囲	正弦波 : 0.65 ～ 2.8 $V_{pk\text{-}pk}$ （50Ω 負荷、0 dBm ～ +13 dBm） 方形波 : 0.2 ～ 2.8 $V_{pk\text{-}pk}$（50Ω 負荷）	—
最大入力過負荷	±10 V	—
入力インピーダンス	50 Ω	—
入力カプリング	AC	—

PFI 0 および PFI 1
(PFI（プログラム可能関数インタフェース)、フロントパネルコネクタ)

仕様	値	コメント
コネクタ	2 SMB（ジャック）	—
方向	双方向	—
周波数範囲	DC ～ 105 MHz	—
入力の場合（トリガ）		
出力先	開始トリガ	—
最大入力過負荷	−2 ～ +7 V	—
V_{IH}	2.0 V	—
V_{IL}	0.8 V	—
入力インピーダンス	1 kΩ	—
出力の場合（イベント）		
ソース	1. サンプルクロックは、整数 *K*（1 ≤ *K* ≤ 4,194,304）で分周可能。 2. サンプルクロックタイムベース（100 MHz）は、整数 *M*（2 ≤ *M* ≤ 4,194,304）で分周可能。 3. PLL 基準クロック 4. マーカ 5. エクスポートした開始トリガ（出力開始トリガ）	—
出力インピーダンス	50 Ω	—
最大出力過負荷	−2 ～ +7 V	—
V_{OH}	最小 : 2.9 V（開回路）、1.4 V（50 Ω 負荷）	出力ドライバは +3.3 V TTL と互換性あり。
V_{OL}	最大 : 0.2 V（開回路）、0.2 V（50 Ω 負荷）	
立ち上がり / 立ち下がり時間	≤2.0 ns	10 pF の負荷。

DIGITAL DATA & CONTROL (DDC)
フロントパネルコネクタ（オプション）

仕様	値			コメント
コネクタタイプ	68 ピン VHDCI メスコネクタ			—
データ出力信号数	16			—
制御信号	1. DDC CLK OUT（クロック出力） 2. DDC CLK IN（クロック入力） 3. PFI 2（入力） 4. PFI 3（入力） 5. PFI 4（出力） 6. PFI 5（出力）			—
グランド	23 ピン			—
出力信号特性（データ出力、DDC CLK OUT、および PFI<4..5> を含む）				
信号タイプ	LVDS（低電圧差動信号）			—
信号特性	最小	標準	最大	1. 100 Ω 差動負荷で試験。 2. デバイスのフロントパネルで測定。 3. 負荷容量 <15 pF。 4. ドライバおよびレシーバは ANSI/TIA/EIA-644 に適合。
V_{OH}	—	1.3 V	1.7 V	
V_{OL}	0.8 V	1.0 V	—	
差動出力電圧	0.25 V	—	0.45 V	
出力コモンモード電圧	1.125 V	—	1.375 V	
差動パルススキュー（差動ペア内のスキュー）	—	—	0.6 ns	
立ち上がり / 立ち下がり時間	—	0.5 ns	1.6 ns	

仕様	値		コメント
出力信号特性（続き）			
出力スキュー	標準 : 1 ns、最大 2 ns。DIGITAL DATA & CONTROL フロントコネクタの 2 つの出力端子間のスキュー。		—
出力有効化 / 無効化	ソフトウェアですべてのデータ出力信号および制御信号を一括制御。無効な場合、出力端子は高インピーダンス状態になります。		—
最大出力過負荷	−0.3 ～ +3.9 V		—
入力信号特性（DDC CLK IN および PFI<2..3> を含む）			
信号タイプ	LVDS（低電圧差動信号）		—
入力差動インピーダンス	100 Ω		—
最大出力過負荷	−0.3 ～ +3.9 V		—
信号特性	最小	最大	—
差動入力電圧	0.1 V	0.5 V	
入力コモンモード電圧	0.2 V	2.2 V	
DDC CLK OUT			
クロック形式	データ出力およびマーカは、DDC CLK OUT の立ち下がりエッジで変化します。		—
周波数範囲	詳細については、「サンプルクロック」のセクションを参照してください。		—
デューティーサイクル	40 ～ 60%		—
ジッタ	40 ps rms		—
DDC CLK IN			
クロック形式	DDC データ出力信号は、DDC CLK IN の立ち上がりエッジで変化します。		—
周波数範囲	10 Hz ～ 105 MHz		—
入力デューティーサイクルの許容値	40 ～ 60%		—
入力ジッタ許容値	サイクル間ジッタの 300 ps pk-pk、周期ジッタの 1 ns rms。		—

開始トリガ

仕様	値		コメント
ソース	1. PFI<0..1>（SMB フロントパネルコネクタ） 2. PFI<2..3>（DIGITAL DATA & CONTROL フロントパネルコネクタ） 3. PXI_Trig<0..7>（バックプレーンコネクタ） 4. PXI スタートリガ（バックプレーンコネクタ） 5. ソフトウェア（関数呼び出しを使用） 6. 即時（トリガを待機しない）。デフォルト。		—
モード	1. シングル 2. 連続 3. ステップ 4. バースト		—
エッジ検出	立ち上がり		—
最小パルス幅	25 ns		**NI 信号発生器ヘルプ→デバイス→NI 5441 →トリガ→トリガタイミング** の t_{s1} を参照してください。
OSP が無効の場合、開始トリガから CH 0 アナログ出力の遅延	DAC 補間係数	標準遅延	**NI 信号発生器ヘルプ→デバイス→NI 5441 →トリガ→トリガタイミング** の t_{s2} を参照してください。
	デジタル補間フィルタ無効化。	44 サンプルクロック周期 + 110 ns	
	2	58 サンプルクロック周期 + 110 ns	
	4	64 サンプルクロック周期 + 110 ns	
	8	65 サンプルクロック周期 + 110 ns	
OSP が無効の場合、開始トリガからデジタルデータ出力の遅延	40 サンプルクロック周期 + 110 ns		—
関数発生器モードの追加遅延	33 サンプルクロック周期を追加。 （開始トリガから CH0 アナログ出力の遅延および開始トリガからデジタルデータ出力の遅延に適用。）		—

仕様	値	コメント
OSP が有効な場合の追加遅延	実数データ処理モードに対して 70 サンプルクロック周期を追加 複素数データ処理モードに対して 73 サンプルクロック周期を追加 （開始トリガから CH0 アナログ出力の遅延および開始トリガからデジタルデータ出力の遅延に適用。）	FIR および CIC フィルタを有効化。
トリガのエクスポート		
エクスポートしたトリガの出力先	トリガとして使用される信号は、「マーカ」セクションの「出力先」仕様に記載されるすべての出力先に経路設定が可能です。	—
エクスポートしたトリガ遅延	65 ns（標準）	**NI 信号発生器ヘルプ→デバイス→NI 5441 →トリガ→トリガタイミング**の t_{s3} を参照してください。
エクスポートしたトリガパルス幅	>150 ns	**NI 信号発生器ヘルプ→デバイス→NI 5441 →トリガ→トリガタイミング**の t_{s4} を参照してください。

マーカ

仕様	値	コメント
出力先	1. PFI<0..1>（SMB フロントパネルコネクタ） 2. PFI<4..5>（DIGITAL DATA & CONTROL フロントパネルコネクタ） 3. PXI_Trig<0..6>（バックプレーンコネクタ）	—
数量	1 マーカ / セグメント	—
波形量	マーカ位置は 4 サンプル（複素数（IQ）データの 2 サンプル）の整数倍で配置される必要があります。	—
幅	>150 ns	**NI 信号発生器ヘルプ→基本概念→波形の基本概念→イベント→マーカイベント**の t_{m2} を参照してください。

仕様	値			コメント
スキュー	出力先	アナログ出力の場合	デジタルデータ出力の場合	**NI 信号発生器ヘルプ→基本概念→波形の基本概念→イベント→マーカイベント**の t_{m1} を参照してください。
	PFI<0..1>	±2 サンプルクロック周期	なし	
	PFI<4..5>	なし	<2 ns	
	PXI_Trig<0..6>	±2 サンプルクロック周期	なし	
ジッタ	20 ps rms			—

任意波形生成モード

仕様	値			コメント
メモリ使用	NI 5441 は、波形と命令がオンボードメモリを共有する SMC（Synchronization and Memory Core）テクノロジを使用しています。シーケンスリストのセグメント数、メモリ内の最大波形数、および波形ストレージで使用できるサンプル数などのパラメータは、柔軟性があり、ユーザ定義です。			詳細については、**NI 信号発生器ヘルプ→プログラミング→ NI-TClk 同期ヘルプ**を参照してください。
オンボードメモリサイズ	32 MB オプション : 33,554,432 バイト	256 MB オプション : 268,435,456 バイト	512 MB オプション : 536,870,912 バイト	—
出力モード	任意波形モードおよび任意シーケンスモード			—
任意波形モード	任意波形モードでは、単一波形がオンボードメモリに格納されている波形セットから選択され、生成されます。			—
任意シーケンスモード	任意シーケンスモードでは、シーケンスによって NI 5441 が波形セットを特定の順序で生成します。シーケンスの要素は、セグメントとしても示されます。各セグメントは、一連の命令に関連付けられます。命令は、メモリ内の波形から選択される波形、生成される波形のループ（繰り返し）の数、そしてマーカ出力信号が送信される波形のサンプルを認識します。			—

仕様	値			コメント
最小波形サイズ（サンプル）	トリガモード	任意波形モード	任意シーケンスモード	最小波形サイズは、任意シーケンスモードでサンプルレートに依存。 複素数（IQ）データの場合は、最小波形サイズは半分になります。
	シングル	16	16	
	連続	16	96（>50 MS/s 時）	
			32（≤50 MS/s 時）	
	ステップ	32	96（>50 MS/s 時）	
			32（≤50 MS/s 時）	
	バースト	16	512（>50 MS/s 時）	
			256（≤50 MS/s 時）	
ループカウント	1 ～ 16,777,215 バーストトリガ時 : 無制限			—
波形量	波形サイズは、4 サンプル（複素数（IQ）データの 2 サンプル）の整数倍である必要があります。			—
メモリ制限				
	32 MB オプション	256 MB オプション	512 MB オプション	特別な記載がない限りすべてのトリガモード。 複素数（IQ）データの場合は、最大波形メモリは半分になります。
任意波形モード、最大波形メモリ	16,777,088 サンプル	134,217,600 サンプル	268,435,328 サンプル	
任意シーケンスモード、最大波形メモリ	16,777,008 サンプル	134,217,520 サンプル	268,435,200 サンプル	条件 : シーケンス内に 1 または 2 つのセグメントがある場合。 複素数（IQ）データの場合は、最大波形メモリは半分になります。

仕様	値			コメント
メモリ制限（続き）				
任意シーケンスモード、最大波形	262,000 バーストトリガ : 32,000	2,097,000 バーストトリガ : 262,000	4,194,000 バーストトリガ : 524,000	条件 : シーケンス内に 1 または 2 つのセグメントがある場合。
任意シーケンスモード、シーケンス内の最大セグメント	418,000 バーストトリガ : 262,000	3,354,000 バーストトリガ : 2,090,000	6,708,000 バーストトリガ : 4,180,000	条件 : 波形メモリが <4,000 サンプルの場合。(複素数（IQ）データの場合は <2,000 サンプル。)
波形再生時間				
	32 MB	256 MB	512 MB	
最大再生時間、サンプルレート = 100 MS/s、OSP 無効	0.16 秒	1.34 秒	2.68 秒	単一トリガモード。 連続、ステップ、またはバーストトリガモードを使用して、再生時間を大幅に延長することが可能。 複素数（IQ）モードでは、再生時間は半分になります。
最大再生時間、IQ レート = 1 MS/s、実数モード、OSP 有効	16 秒	2 分 14 秒	4 分 28 秒	
最大再生時間、IQ レート = 100 kS/s、実数モード、OSP 有効	2 分 47 秒	22 分 22 秒	44 分 43 秒	

関数発生モード

仕様	値		コメント
標準波形および最大周波数	波形	最大周波数	—
	正弦波	43 MHz	
	方形波	25 MHz	
	三角波	5 MHz	
	ランプアップ	5 MHz	
	ランプダウン	5 MHz	
	DC	—	
	ノイズ（疑似ランダム）	5 MHz	
	ユーザ定義	43 MHz	
メモリサイズ	1/4 対称波形の場合は 65,536 サンプル（例 : 正弦波) 1/4 非対称波形の場合は 16,384 サンプル（例 : ランプ波)		16 ビットサンプル。ユーザ定義の波形は必ず 16,384 サンプルである必要があります。
周波数分解能	355 nHz		—
位相分解能	0.0055°		—

オンボード信号処理

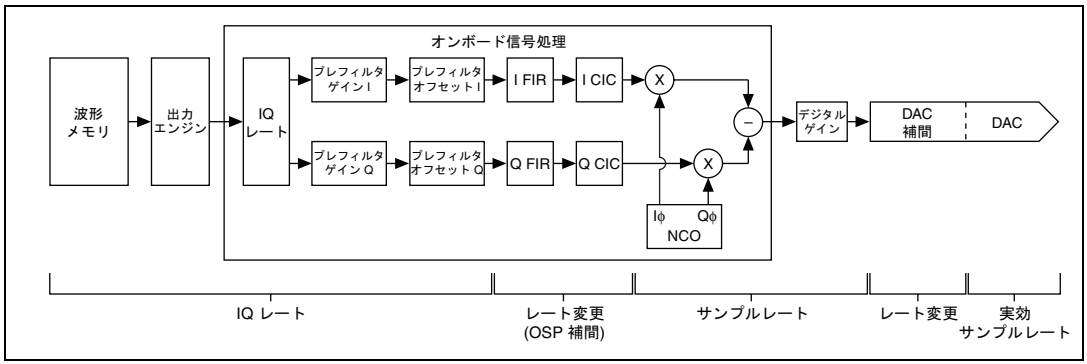

図 7　オンボード信号処理ブロック図

仕様	値	コメント
IQ レート		
OSP 補間範囲	12 ～ 512（2 の倍数）、 512 ～ 1,024（4 の倍数）、 1,024 ～ 2,048（8 の倍数） （OSP 補間 = FIR 補間 × CIC 補間）	NI PXI-5441 補間の合計 = OSP 補間 × DAC 補間
IQ レート	サンプルレート /OSP 補間 （サンプルレートを下げるまたはソフトウェア補間を行うことで、IQ レートを下げることが可能。）	例 : サンプルレートが 100 MS/s の場合の IQ レートレンジ = 48.8 kS/s ～ 8.3 MS/s
データ処理モード	1. 実数（I パスのみ） 2. 複素数（IQ）	—
プレフィルタゲインおよびオフセット		
プレフィルタゲインおよびオフセット分解能	18 ビット	—
プレフィルタゲインレンジ	−2.0 ～ +2.0 （値 < |1| ユーザデータを減衰)	単位なし
プレフィルタオフセット範囲	−1.0 ～ +1.0	プレフィルタゲイン後に適用。
出力	出力 = （ユーザデータ × プレフィルタゲイン）+ プレフィルタオフセット（−1 ≤ 出力 ≤ +1)	プレフィルタ出力

仕様	値	コメント
有限インパルス応答（FIR）フィルタ		
フィルタの長さ	95 タップ	FIR フィルタは、IQ データをパルス成形し、CIC フィルタのロールオフを補正するのに使用されます。
係数幅	17 ビット（–1 ～ +1）	
フィルタの対称性	対称	
補間範囲	2、4、8	
係数	NI-FGEN（「FIR フィルタタイプ」を参照）またはユーザに提供されるカスタム係数により自動的に生成。	

仕様	値			コメント
FIR フィルタタイプ				
フィルタタイプ	パラメータ	最小	最大	—
カスタム	—	—	—	係数がユーザにより提供されます。
フラット	パスバンド	0.1	0.43	ローパスフィルタが IQ レート × パスバンドまでリプルを最小化。
ガウス	BT	0.1	0.9	—
二乗余弦	α	0.1	0.9	
平方根二乗余弦	α	0.1	0.9	
CIC（カスケード積分くし型）フィルタ				
サイズ	6 ステージ			CIC フィルタは OSP でほとんどの補間を行います。
補間範囲	6 ≤ 補間 ≤ 256（整数）			
NCO（数値制御発振器）				
周波数範囲	1 mHz（0.43 × サンプルレート）			—
周波数分解能	サンプルレート /2^{48}			例 : 355 nHz（100 MS/s のサンプルレート）

仕様	値				コメント
NCO（数値制御発振器）（続き）					
I および Q 位相分解能	0.0055°				—
位相量子化	16 ビット				ルックアップテーブルのアドレス幅
調整速度	1 ms				—
変調性能（標準）					
変調構成	測定タイプ	FIR 補間			—
		2	4	8	
GSM 物理層 [1]	MER（変調誤差比）	46 dB	47 dB	42 dB	ダイレクトパス（4 dBm ピーク）、25 MHz 搬送波
	EVM（エラーベクタマグニチュード）	<0.5 % rms	<0.5 % rms	<0.8 % rms	
W-CDMA 物理層 [2]	MER	46 dB	39 dB	—	ダイレクトパス（4 dBm ピーク）、25 MHz 搬送波、ACPR 測定 BW = 4 MHz、チャンネル間隔 = 5 MHz
	EVM	<0.5 % rms	<1.0 % rms	—	
	ACPR（隣接チャンネル漏洩電力比）（外部サンプルクロック）	65 dBc	68 dBc	—	
	ACPR（高分解能サンプルクロック）	61 dBc	61 dBc	—	
DVB 物理層 [3]	MER	43 dB	—	—	ダイレクトパス（4 dBm ピーク）、25 MHz 搬送波、ACPR 測定 BW = 7.96 MHz、チャンネル間隔 = 8 MHz
	EVM	<0.6 % rms	—	—	
	ACPR（外部サンプルクロック）	48 dBc	—	—	
	ACPR（高分解能サンプルクロック）	47 dBc	—	—	

[1] OSP 有効化。IQ レート = 1.083 MS/s、4 サンプル / シンボル。FIR フィルタタイプ = フラット、パスバンド = 0.4。MSK 変調 : ソフトウェアパルス成形および位相蓄積、270.833 kS/s、ガウス、BT = 0.3。PN シーケンス順位 = 14。

[2] OSP 有効化。IQ レート = 3.84 MS/s、1 サンプル / シンボル。FIR フィルタタイプ = 平方根二乗余弦、 α = 0.22。QPSK。PN シーケンス順位 = 15。

[3] OSP 有効化。IQ レート = 6.92 MS/s、1 サンプル / シンボル。FIR フィルタタイプ = 平方根二乗余弦、 α = 0.15。32QAM 変調。PN シーケンス順位 = 15。

仕様	値			コメント
デジタル特性				
最大 NCO スプリアス	< −90 dBc			フルスケール出力
FIR 補間	IQ レート範囲（100 MS/s サンプルクロックレート）	OSP 帯域外減衰量	OSP パスバンドリプル	—
2	195 kS/s ～ 8.33 MS/s	63 dB	0 ～ −0.08 dB	FIR フィルタタイプ = フラット。パスバンド = 0.4。0.4 × IQ レートまでのリプル測定。0.6 × IQ レートからのストップバンド減衰量。
4	97.6 kS/s ～ 4.16 MS/s	74 dB	0 ～ −0.08 dB	
8	48.8 kS/s ～ 2.08 MS/s	40 dB	0 ～ −0.8 dB	

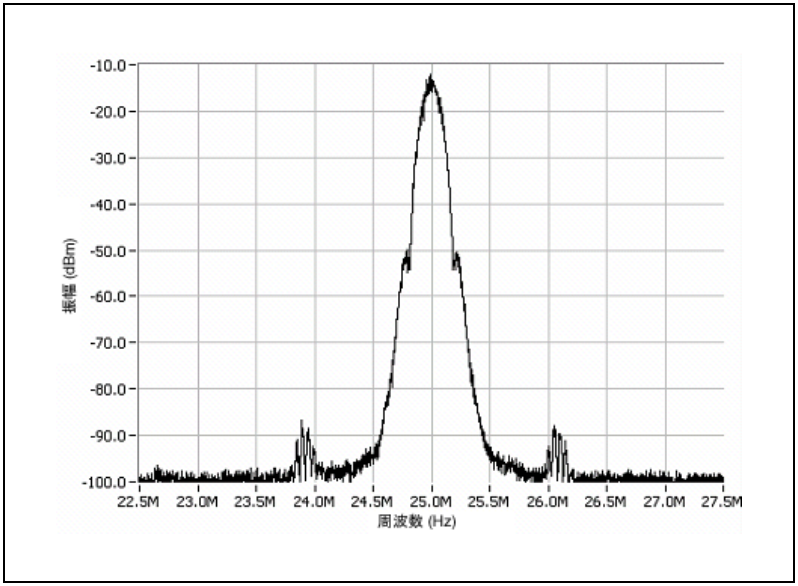

図 8　GSM 物理層[1、2]
外部サンプルクロック = 99.665 MHz

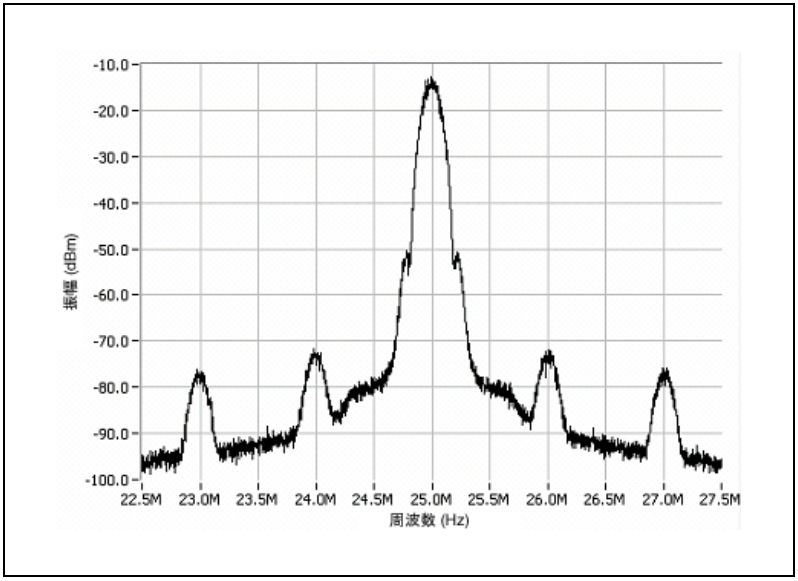

図 9　GSM 物理層[1、2]
内部（高分解能）サンプルクロック = 99.665 MHz。
図の中のアーチファクトは、高分解能クロックのスプリアスが原因。

---

[1] OSP 有効化。ダイレクトパス（4 dBm ピーク）。25 MHz 搬送波。IQ レート = 1.083 MS/s、4 サンプル / シンボル。FIR フィルタタイプ = フラット、パスバンド = 0.4。ソフトウェア MSK 変調 : 270.833 kS/s、ガウス、BT = 0.3。PN シーケンス順位 = 14。

[2] スプリアス除去の詳細については、「サンプルクロック」セクションの「DAC 実効サンプルレート」を参照してください。

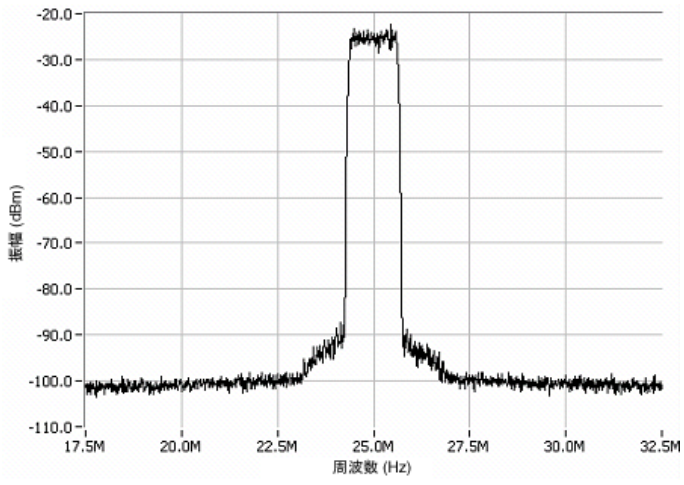

図 10 CDMA2000 物理層[1、2]
外部サンプルクロック = 98.304 MHz

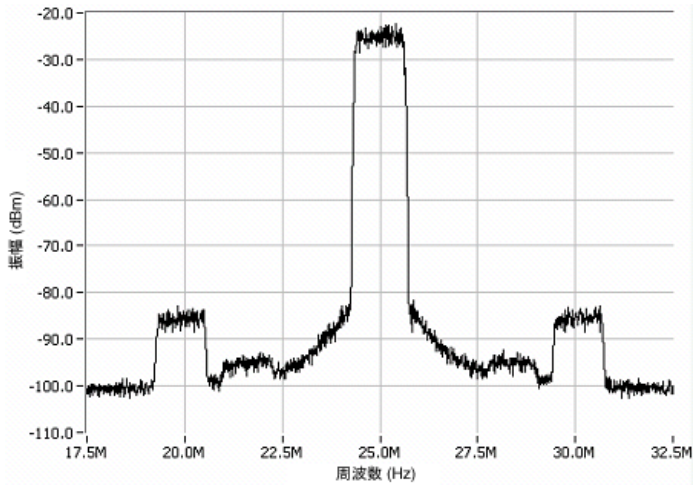

図 11 CDMA2000 物理層[1、2]
内部（高分解能）サンプルクロック = 98.304 MHz。図の中のアーチファクトは、高分解能クロックのスプリアスが原因。

---

[1] OSP 有効化。ダイレクトパス（4 dBm ピーク）。25 MHz 搬送波。IQ レート = 1.2288 MS/s、1 サンプル / シンボル。FIR フィルタタイプ = カスタムフラットフィルタ（パスバンド = 0.48）。QPSK。PN シーケンス順位 = 15。

[2] スプリアス除去の詳細については、「サンプルクロック」セクションの「DAC 実効サンプルレート」を参照してください。

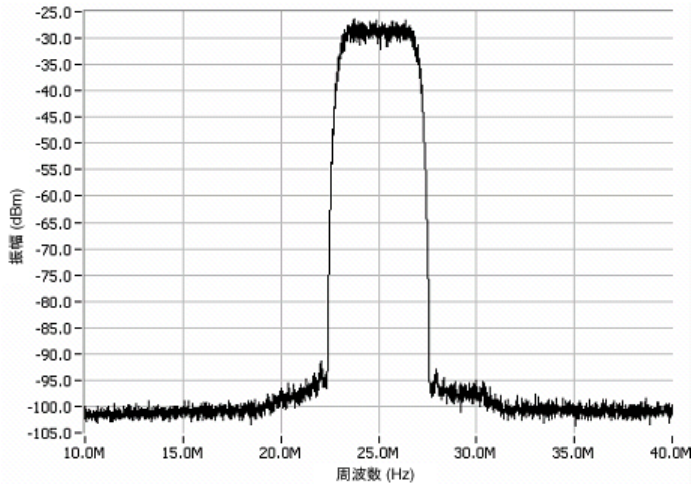

図 12　W-CDMA 物理層[1、2]
外部サンプルクロック = 92.16 MHz

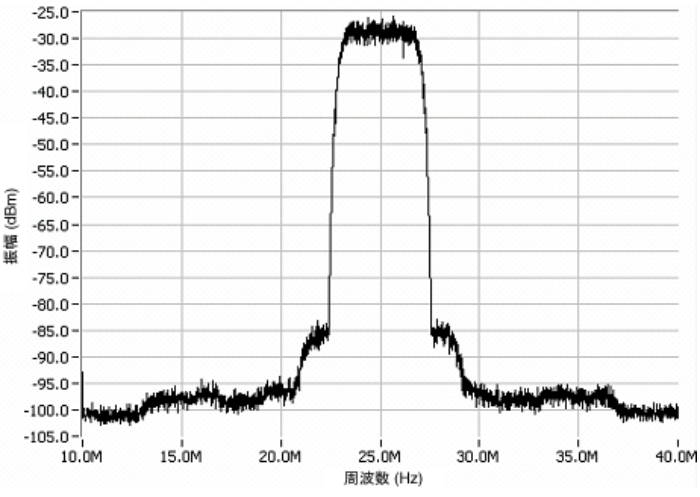

図 13　W-CDMA 物理層[1、2]
内部（高分解能）サンプルクロック = 92.16 MHz。
図の中のアーチファクトは、高分解能クロックのスプリアスが原因。

---

[1] OSP 有効化。ダイレクトパス (4 dBm ピーク)。25 MHz 搬送波。IQ レート = 3.84 MS/s、1 サンプル / シンボル。FIR フィルタタイプ = 平方根二乗余弦、 α = 0.22。QPSK。PN シーケンス順位 = 15。

[2] スプリアス除去の詳細については、「サンプルクロック」セクションの「DAC 実効サンプルレート」を参照してください。

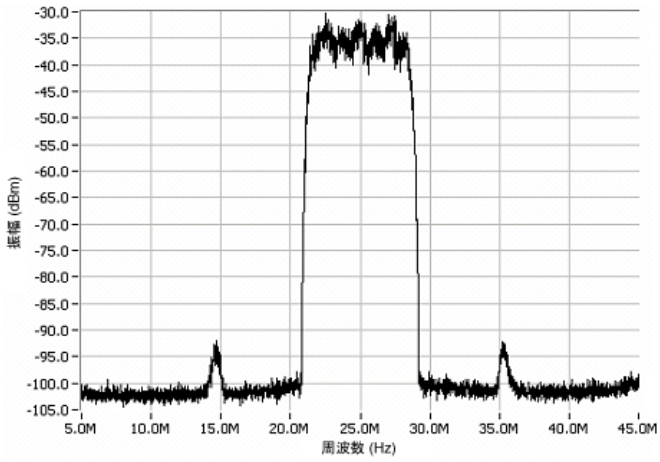

図 14 DVB 物理層[1、2]
外部サンプルクロック = 96.88 MHz。
15 および 35 MHz のアーチファクトは、2× FIR 補間のエイリアスが原因。

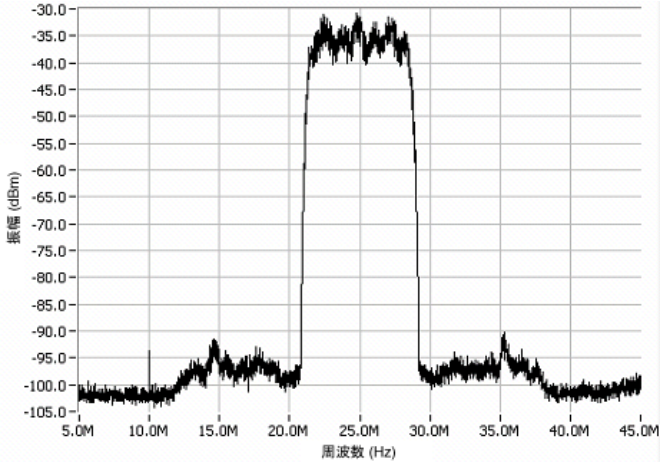

図 15 DVB 物理層[1、2]
内部（高分解能）サンプルクロック = 96.88 MHz。
10 MHz のアーチファクトは、CLK IN フィードスルーが原因。
図の中のアーチファクトは、高分解能クロックのスプリアスが原因。

---

[1] OSP 有効化。ダイレクトパス（4 dBm ピーク）。25 MHz 搬送波。IQ レート = 6.92 MS/s、1 サンプル / シンボル。FIR フィルタタイプ = 平方根二乗余弦、 α = 0.15。32QAM 変調。PN シーケンス順位 = 15。

[2] スプリアス除去の詳細については、「サンプルクロック」セクションの「DAC 実効サンプルレート」を参照してください。

キャリブレーション

仕様	値	コメント
セルフキャリブレーション	オンボードでは、24 ビット ADC および精度電圧基準を用いて DC ゲインおよびオフセットを校正します。セルフキャリブレーションは、ソフトウェアを利用してユーザが開始し、完了までに約 75 秒かかります。	—
外部キャリブレーション	外部キャリブレーションは、VCXO、電圧基準、出力インピーダンス、DC ゲイン、およびオフセットを校正します。適切な定数は、不揮発性メモリに保管されます。	工場出荷時のキャリブレーションと同様。
キャリブレーション間隔	仕様は外部キャリブレーションから 2 年間有効です。	—
ウォームアップ時間	15 分	—

電源

仕様	標準動作	過負荷動作	コメント
+3.3 VDC	1.9 A	2.7 A	標準。CH 0 が短絡接地されている場合に、過負荷動作が発生。
+5 VDC	2.2 A	2.4 A	
+12 VDC	0.46 A	0.5 A	
−12 VDC	0.01 A	0.01 A	
合計電力	22.9 W	27.0 W	

ソフトウェア

仕様	値	コメント
ドライバソフトウェア	NI-FGEN は、IVI 準拠ドライバで NI 5441 の構成、制御、および校正を可能にします。NI-FGEN は、多数の開発環境アプリケーションプログラミングインタフェースを提供します。	—
アプリケーションソフトウェア	NI-FGEN は、以下のアプリケーション開発環境のプログラミングインタフェースを提供します。 • LabVIEW • LabWindows™/CVI™ • Measurement Studio • Microsoft Visual C++ .NET • Microsoft Visual C/C++ • Microsoft Visual Basic	—
対話式の制御および構成ソフトウェア	FGEN ソフトフロントパネルは、NI 5441 の対話的制御をサポートしています。FGEN ソフトフロントパネルは NI-FGEN ドライバ CD に含まれています。 Measurement & Automation Explorer（MAX）で NI 5441 を対話式に構成、そしてテストすることができます。MAX も NI-FGEN CD に含まれています。 NI 5441 は、NI SignalExpress と併用可能です。	—

環境

NI PXI-5441 の環境

メモ NI PXI-5441 を効果的に冷却するには、NI 5441 キットに含まれる『強制空冷の維持について』のガイドラインに従ってください。NI PXI-5441 は、室内使用を意図して設計されています。

仕様	値	コメント
動作温度	0 ～ +55 ℃（以下を除くすべての NI PXI シャーシ） 0 ～ +45 ℃（NI PXI-101*x* または NI PXI-1000B シャーシに取り付けた場合）。 IEC 60068-2-1、IEC 60068-2-2 に準拠。	—
保管温度	–25 ～ +85 ℃。IEC 60068-2-1、IEC 60068-2-2 に準拠。	—
動作時の相対湿度	10 ～ 90%、結露なきこと。IEC 60068-2-56 に準拠。	—
保管時の相対湿度	5 ～ 95%、結露なきこと。IEC 60068-2-56 に準拠。	—
動作衝撃	30 g、半正弦波、11 ms パルス。IEC 60068-2-27 に準拠。MIL-PRF-28800F に準拠してテストプロファイルを確立。	スペクトルおよびジッタ仕様が低下する場合があります。
保管時衝撃	50 g、半正弦波、11 ms パルス。IEC 60068-2-27 に準拠。MIL-PRF-28800F に準拠してテストプロファイルを確立。	—
動作振動	5 ～ 500 Hz、0.31 g_{rms}。IEC 60068-2-64 に準拠。	スペクトルおよびジッタ仕様が低下する場合があります。
保管振動	5 ～ 500 Hz、2.46 g_{rms}。IEC 60068-2-64 に準拠。テストプロファイルは、MIL-PRF-28800F、Class B の要件を上回る。	—
高度	最大 2,000 m（周辺温度 25 ℃時）	—
汚染度	2	—

認可および準拠

安全性

NI PXI-5441 は、計測、制御、実験に使用される電気装置に関する以下の安全規格の必要条件を満たすように設計されています。

- IEC 61010-1、EN 61010-1
- UL 61010-1、CSA 61010-1

メモ UL および他の安全保証については、製品のラベルを参照するか、`ni.com/certification`（英語）にアクセスして製品番号（型番）または製品ラインで検索し、保証の欄の該当するリンクをクリックしてください。

電磁両立性

NI PXI-5441 は、計測、制御、実験に使用される電気装置に関する以下の EMC の必要条件を満たすように設計されています。

- EN 61326 EMC 必要条件、最小イミュニティ
- EN 55011 エミッション（Group 1、Class A）
- CE、C-Tick、ICES、および FCC パート 15 エミッション（Class A）

メモ このデバイスは、EMC 要件に適合するため、製品ドキュメントに従って操作してください。

CE 準拠

NI PXI-5441 は、以下のように、CE マーク改正に基づいて、該当する EC 理事会指令による基本的要件に適合しています。

- 2006/95/EC；低電圧指令（安全性）
- 2004/108/EC；電磁両立性規格（EMC）

メモ この製品のその他のコンプライアンス情報については、適合宣言（DoC）をご覧ください。この製品の適合宣言を入手するには、`ni.com/certification` にアクセスして型番または製品ラインで検索し、該当するリンクをクリックしてください。

環境管理

ナショナルインスツルメンツは、環境に考慮した製品の開発および製造に取り組んでいます。NI は、製品から特定の有害物質を除外することが、環境のみならず NI のお客様にとって有益であると考えています。

環境情報に関する詳細は、ni.com/environment で NI and the Environment（英語）のウェブページをご覧いただけます。このページには、NI が準拠している規制と規格や、このドキュメントには含まれていない環境情報についてが説明されています。

廃電気電子機器（WEEE）

欧州のお客様へ　製品寿命を過ぎたすべての製品は、必ず WEEE リサイクルセンターへ送付してください。WEEE リサイクルセンターおよびナショナルインスツルメンツの WEEE への対応に関する詳細は、ni.com/environment/weee.htm を参照してください。

电子信息产品污染控制管理办法 （中国 RoHS）

中国客户　National Instruments 符合中国电子信息产品中限制使用某些有害物质指令 (RoHS)。关于 National Instruments 中国 RoHS 合规性信息，请登录 ni.com/environment/rohs_china。(For information about China RoHS compliance, go to ni.com/environment/rohs_china.)

物理特性

仕様	値		コメント
外形寸法	3U、1 スロット、PXI/cPCI モジュール 21.6 × 2.0 × 13.0 cm (8.5 × 0.8 × 5.1 in.)		—
重量	345 g (12.1 oz)		—
フロントパネルコネクタ			
ラベル	機能	コネクタタイプ	—
CH 0	アナログ出力	SMB（ジャック）	
CLK IN	サンプルクロック入力および PLL 基準クロック入力。	SMB（ジャック）	
PFI 0	マーカ出力、トリガ入力、サンプルクロック出力、エクスポートしたトリガ出力、および PLL 基準クロック出力。	SMB（ジャック）	
PFI 1	マーカ出力、トリガ入力、サンプルクロック出力、エクスポートしたトリガ出力、および PLL 基準クロック出力。	SMB（ジャック）	
DIGITAL DATA & CONTROL	デジタルデータ出力、トリガ入力、エクスポートしたトリガ出力、マーカ、外部サンプルクロック入力、およびサンプルクロック出力。	68 ピン VHDCI メスコネクタ	
フロントパネル LED 表示器			
ラベル	機能		詳細については、『NI 信号発生器ヘルプ』を参照してください。
ACCESS	ACCESS LED は、NI 5441 からコントローラのインタフェースおよび PCI バスのステータスを示します。		
ACTIVE	ACTIVE LED は、NI 5441 のオンボード生成ハードウェアのステータスを示します。		
同梱のケーブル			
	1 本（NI 製品番号 763541-01）、50 Ω、BNC オス－ SMB プラグ、RG223/U、ダブルシールドケーブル（1 m）。		—

メモ リビジョン B 以降の NI PXI-5441 モジュールには、改良された PXI Express 対応バックプレーンコネクタが装備されています。この改良したコネクタにより、NI PXI-5441 は PXI Express シャーシ内のハイブリッドスロットに対応します。NI PXI-5441 モジュールのリビジョンについては、NI PXI-5441 の下側にあるラベルを参照してください。ラベルには 191789*x*-01 という形式のアセンブリ番号が記載されており、*x* がリビジョンになります。

サポート情報

技術サポートリソースの一覧は、ナショナルインスツルメンツのウェブサイトでご覧いただけます。`ni.com/jp/support` では、トラブルシューティングやアプリケーション開発のセルフヘルプリソースから、ナショナルインスツルメンツのアプリケーションエンジニアの E メール / 電話の連絡先まで、あらゆるリソースを参照することができます。

適合宣言（Doc）とは、その会社の自己適合宣言を用いた、さまざまな欧州閣僚理事会指令への適合の宣言のことです。この制度により、電磁両立性（EMC) に対するユーザ保護や製品の安全性に関する情報が提供されます。ご使用の製品の適合宣言は、`ni.com/certification`（英語）から入手できます。ご使用の製品でキャリブレーションがサポートされている場合、`ni.com/calibration` からその製品の Calibration Certificate（英語）を入手してご利用になることもできます。

ナショナルインスツルメンツでは、米国本社（11500 North Mopac Expressway, Austin, Texas, 78759-3504）および各国の現地オフィスにてお客様にサポート対応しています。日本国内でのサポートについては、`ni.com/jp/support` でサポートリクエストを作成するか、0120-527196（フリーダイヤル）または 03-5472-2970（大代表）までお電話ください。日本国外でのサポートについては、各国の営業所にご連絡ください。

イスラエル 972 3 6393737、イタリア 39 02 41309277、
インド 91 80 41190000、英国 44 0 1635 523545、
オーストラリア 1800 300 800、オーストリア 43 662 457990-0、
オランダ 31 (0) 348 433 466、カナダ 800 433 3488、
韓国 82 02 3451 3400、シンガポール 1800 226 5886、
スイス 41 56 2005151、スウェーデン 46 (0) 8 587 895 00、
スペイン 34 91 640 0085、スロベニア 386 3 425 42 00、
タイ 662 278 6777、台湾 886 02 2377 2222、中国 86 21 5050 9800、
チェコ 420 224 235 774、デンマーク 45 45 76 26 00、
ドイツ 49 89 7413130、トルコ 90 212 279 3031、
ニュージーランド 0800 553 322、ノルウェー 47 (0) 66 90 76 60、
フィンランド 358 (0) 9 725 72511、フランス 01 57 66 24 24、
ベルギー 32 (0) 2 757 0020、ブラジル 55 11 3262 3599、
ポーランド 48 22 3390150、ポルトガル 351 210 311 210、
マレーシア 1 800 887710、南アフリカ 27 0 11 805 8197、
メキシコ 01 800 010 0793、レバノン 961 (0) 1 33 28 28、
ロシア 7 495 783 6851

National Instruments、NI、ni.com、および LabVIEW は National Instruments Corporation（米国ナショナルインスツルメンツ社）の商標です。National Instruments の商標の詳細については、ni.com/legal の「Terms of Use」セクションを参照してください。本文書中に記載されたその他の製品名および企業名は、それぞれの企業の商標または商号です。National Instruments の製品を保護する特許については、ソフトウェアに含まれている特許情報（**ヘルプ→特許情報**）、メディアに含まれている patents.txt ファイル、または ni.com/patents のうち、該当するリソースから参照してください。

© 2005–2008 National Instruments Corporation. All rights reserved.

373846C-01　　2008 年 06 月